

ICT원천연구개발사업 2021년도 시행계획(안)

2020. 12. 28.

목 차

I. ICT원천연구개발사업 개요	1
II. 2020년 추진 실적 및 주요 성과	3
III. 2021년도 예산 및 추진방향	7
IV. 2021년도 사업별 추진계획	8
1. 슈퍼컴퓨터 개발 선도	8
2. 양자컴퓨팅 기술개발	10
3. 양자정보과학 연구개발생태계 조성	14
4. 시스템반도체 융합전문인력 육성	18
5. 지능형반도체 신소자 원천기술개발	22
V. 향후 일정	24
붙임 1. 슈퍼컴퓨터 개발 선도 개요 및 현황	25
2. 양자컴퓨팅 기술개발 개요 및 현황	29
3. 양자정보과학 연구개발생태계 조성 개요 및 현황	35
4. 시스템반도체 융합전문인력 육성 개요 및 현황	39
5. 지능형반도체 신소자 원천기술개발 개요 및 현황	41
6. 차세대 정보컴퓨팅 기술개발 개요 및 현황	46

I. ICT원천연구개발 사업 개요

□ 추진 목적

- 4차 산업혁명 등에 따라 중요성이 날로 확대되는 ICT 분야의 경쟁력 강화를 위해 미래 유망기술에 대한 원천기술 확보 및 연구역량 강화

□ 대상 분야

- ① (차세대SW) SW 중심사회 구현 및 중장기적 국가경쟁력 확보를 위해 분산·자율·지능형 SW 등 혁신적 미래 SW 원천기술 발굴·지원
- ② (초고성능컴퓨팅) 고성능 중앙처리장치(CPU) 중심 전략부품 요소기술 확보 및 시스템 자체 구축 등을 통한 단계적 독자개발 추진
- ③ (양자컴퓨팅) 폭발적 파급 잠재력을 지닌 게임체인저로 세계가 주목하는 양자컴퓨팅 분야의 연구역량 강화 및 핵심원천기술 확보 추진
- ④ (차세대반도체) 시스템반도체 유망시장 선점과 미래차·바이오 등 산업의 패러다임을 바꾸는 차세대 원천기술개발 및 고급인력 양성 등 추진

□ 사업 체계 : 7개 사업으로 구성

분야	사업명	사업 목적	사업 분야 및 내용	비고
차세대 SW	차세대 정보컴퓨팅 기술개발	산업적 파급효과가 큰 미래전략 SW 기초·원천기술 개발을 통한 IT 분야의 장기적 국가경쟁력 확보	<ul style="list-style-type: none"> · (SW공학) 고품질 SW 개발 프로세스와 운용·유지보수 효율화를 위한 체계적·정량적 방법론 및 의미기반 상시 모니터링을 위한 SW공학 기법·도구 개발 · (정보지능시스템) 이종 빅데이터의 통합 처리 등 정보나 지식의 효율적, 지능적 창출·관리 기술 개발 · (HCI) 영상·감성 인지, 자연어·음성 처리, 유비쿼터스 인터페이스 등 인간의 의미로 컴퓨터를 활용토록 인간과 컴퓨터를 연결하는 기술 개발 · (시스템SW) 운영체제, I/O가속화, 자율제어 네트워킹 등 다양한 하드웨어·응용프로그램의 동작 및 최적 운영 제어 관리기술 개발 	'11년~'20년 973억원

초고성능 컴퓨팅			- (초고성능컴퓨팅) 시스템SW 핵심 원천 기술 개발 및 전문인력 확보	('16년~'20년 144억원)
	슈퍼컴퓨터 개발 선도	고성능 중앙처리장치(CPU) 핵심원천기술 확보를 통해 슈퍼컴퓨터의 단계적 독자개발 추진	· 슈퍼컴퓨터 CPU의 HW/SW 핵심기술 개발 및 프로토타입 칩(시제품) 제작	'20년~'23년 약 475억원
양자 컴퓨팅	양자컴퓨팅 기술개발	양자컴퓨팅 분야의 핵심·기반기술 개발 및 시스템 구현을 통한 기술경쟁력 강화	<ul style="list-style-type: none"> · (핵심원천기술) 초전도소자, 이온·중성 원자트랩, 반도체양자점, 광자 등을 이용해 구현한 양자계 기반을 동작하는 양자컴퓨터 개발 · (유망기반기술) 양자컴퓨터의 구현 및 성능향상 등이 가능한 HW/시스템 요소기술, 알고리즘SW 등 양자컴퓨팅 요소기술 개발 	'19년~'23년 약 445억원
	양자정보과학 연구개발생태계 조성 (물적기반 조성)	연구용 양자소자를 손쉽게 확보하고, 양자컴퓨터를 미리 활용해볼 수 있는 인프라 확충 등 연구하기 좋은 물적환경 구축	<ul style="list-style-type: none"> · (양자소자 제작) 양자소자 제작 성능 평가 관련 표준공정의 개발 및 장비·소규모 특성평가 테스트베드 등을 구축하여 서비스 제공 · (양자클라우드서비스) IBM, 아마존 등 연구용 양자컴퓨팅 클라우드서비스의 국내 공동활용체계 구축·운영 	'20년~'24년 약 285억원
	양자정보과학 연구개발생태계 조성 (인적기반 조성) ^{주1}	양자정보과학 분야에 우수인재가 유입되고 고급인력으로 커 나갈 수 있는 성장경로 구축 및 연구저변 확대	<ul style="list-style-type: none"> · (리더급연구역량강화) 신규 진입 교수 등을 대상으로 해외와의 인력교류 중심 공동 연구를 통해 미래 연구주체 발굴 및 글로벌 네트워크 구축 등 지원 · (신진연구인력양성) 국내 석·박사, 포스닥 대상으로 미·EU 등 기술선도국에서의 연구 경험 및 전문화된 교육과정 제공 · (미래인재유입 촉진) 대학·일반인 등을 대상으로 양자정보과학 이해도 제고 및 관심 유도를 위한 맞춤형 교육프로그램 운영 	'20년~'24년 약 208억원
차세대 반도체	시스템반도체 융합전문인력 육성 ^{주1}		유망 신산업 분야의 차세대 시스템반도체 제품 개발 및 시장 선점을 이끌 고급 융합전문인력 양성	'20년~'26년 약 480억원
	지능형반도체 신소자 원천기술개발		<ul style="list-style-type: none"> · (신소자 집적·검증) 국내 신소자 집적·검증 플랫폼 구축에 필요한 핵심기술 개발 · (신소자 핵심선도기술) 인간두뇌 수준의 저전력, 연산능력을 갖는 시스템반도체 분야 신소자 핵심 요소기술 개발 · (청와·도전적 신소자) Si-CMOS 소자기술과 융합하여 시스템 소모전력↓, 연산효율↑ 가능한 신소자 분야의 새로운 기술 	'19년~'21년 약 210억원

주1. 과학기술 분야 R&D 인력양성사업 체계화에 따라 “과학기술혁신인재양성” 신실사업으로 이관('21~)

주2. 차세대지능형반도체기술개발(소자)('20~'29, 2,405억원)은 별도 사업추진위원회 운영 중

II. 2020년도 추진 실적 및 주요 성과

□ 추진 실적 : 43,850백만원, 74개 과제 지원

사업명	예산(백만원)	지원과제 수	주요 실적	
차세대 정보-컴퓨팅 기술개발	14,416	계속18	<ul style="list-style-type: none"> 과제별 '20년 연구 개시(1~5월) 과제별 최종평가 진행 중(12월~'21.2월) 	
슈퍼컴퓨터 개발 선도	6,000 (추경 △3,000)	신규4	<ul style="list-style-type: none"> 주관기관책임자 선정 및 연구 착수(7월) 	
양자컴퓨팅 기술개발	8,434	계속13, 신규13	<ul style="list-style-type: none"> 신규과제 선정 및 연구 개시(6월) 계속과제 2차년도 연구 개시(7월) 	
양자정보과학 연구개발생태계 조성	물적기반 조성	2,700 (추경 △1,300)	(신규1)	<ul style="list-style-type: none"> 양자정보 협력 네트워크 운영과제 2차년도 연구 개시(1월) 리더급 연구역량 강화 연구혁신형 신규과제 선정 및 연구 개시(7월)
	인적기반 조성	1,700 (추경 △700)	신규7, 계속1	<ul style="list-style-type: none"> 2020년도 양자정보주간 행사 개최(8월) 양자정보 연구센터장 선정 및 센터 개소(8월) 리더급 연구역량 강화 체질강화형 신규과제 선정 및 연구 개시(10월)
시스템반도체 융합전문인력 육성	3,600	신규3	<ul style="list-style-type: none"> 3개 신규센터 선정 및 연구 개시(3월) 3개 신규센터 신입생 모집 완료 및 교육과정 개시(9월) 	
지능형반도체 신소자 원천기술개발	7,000	계속15	<ul style="list-style-type: none"> 2차년도 연구 개시(3월) 	
합계	43,850	74개 과제		

□ 주요 성과

○ 차세대SW 분야

- 주요 정량 성과('21.11월 기준) ※ 연구과제별 성과인력 경과('21년)에 따라 추후 변동 가능

구분	학술지논문게재			학술대회발표		특허		인력양성		기술실시 계약
	SCI	상위20%*	비SCI	국내	국외	출원	등록	석사	박사	
건수	33	6	13	41	30	37	26	50	10	2

* 상위 20%는 2019 JCR 적용

- 대표 연구성과

구분	성과 내용
시스템 SW	<ul style="list-style-type: none"> An OpenCL High-Level Synthesis Framework for FPGAs - OpenCL로 작성된 소스코드를 쉽게 고성능의 FPGA로 실행시킬 수 있는 프로그래밍 환경 개발 ((재)초고성능컴퓨팅연구단/한환수) ※ 2020 ACM/IEEE 27th ISCA(International Symposium on Computer Architecture, BK 우수 학술대회 IF=4) ('20.6)
SW 공학	<ul style="list-style-type: none"> CPS 어플리케이션의 사용자 중심적, 환경적 요소를 고려한 개발 및 테스트 프레임 워크 기술 개발 (한국과학기술원/고인영) ※ 웹 공학 분야 SCI(E)급 학술지 『Journal of Web Engineering』 게재 (1저자, '20.6)
정보 및 지능시스템	<ul style="list-style-type: none"> 대용량 고품질 학습 데이터를 확보하는 부담을 줄일 수 있는 약감독적 (weakly supervised) 방식의 자동 레이블링 알고리즘을 개발 (한양대학교/임중우) ※ 최상위 SCI(E)급 저널 『IEEE Transactions on Pattern Analysis and Machine Intelligence』 논문 게재 ('20.2)
HCI	<ul style="list-style-type: none"> 사용자의 신체 추적을 위한 최적의 센서를 융합하고, 이를 통한 사실적인 외양·동작 복원 및 원격지 사용자를 정교하게 재현하는 기술 개발 (고려대학교/한정현) ※ 컴퓨터그래픽스/컴퓨터비전/VR/HCI 분야 우수 학술대회 및 SCI(E)급 학술지에 연구결과 다수 발표 (ECCV, ISMAR, IEEE VR, TVCG, CGF, The Visual Computer)

○ 양자컴퓨팅 분야(대표 연구성과)

구분	성과 내용
핵심 원천 기술	<ul style="list-style-type: none"> 범용 양자 컴퓨터 4큐비트(2개의 전자스핀 2개의 핵스핀) 시스템 양자측정 및 검증 완료 수십 큐비트급 초전도 소자 공정 확립 및 안정화, on-chip 큐비트 주파수 산포 < 2% 측정시간 50 us 미만, 신뢰도 99% 이상의 고속 양자상태 싱글-샷 측정법 개발 양자 시뮬레이터 SCI급 저널 중 광학분야 최고 권위의 논문인 Optica에 효율적인 양자얽힘 상태 활용 방법에 대한 논문 게재('20.6) zoom lens방식을 이용한 장거리 원자 수송기술 개발
유망 기반 기술	<ul style="list-style-type: none"> 시스템 기술 양자컴퓨팅 분야의 국제 학회인 'ICQC 2020'에 실리콘 P donor-Nanomagnet 큐비트 기반기술 연구개발 대한 연구 발표 NV-NV 전자 스핀 쌍 생성(~84kHz coupling) 광격자에 포획된 리튬원자의 라만냉각을 위한 레이저 시스템 개발 및 작동 단일 노드에서 35큐비트급 고성능 양자 회로 시뮬레이터 개발 및 성능 분석 알고리즘 및 응용SW 양자 컴퓨팅에서 발생하는 잡음을 효율적으로 완화하는 측정 기법 개발 적은 자원으로 빠르고 정확한 오류의 수정이 가능한 양자컴퓨팅 방법을 설계 극저온 환경에서 동작하기 위한 소자 설계 양자 머신러닝 분야의 국제 학회인 'Quantum Techniques in Machine Learning (QTML)'에 QAOA를 이용한 MWIS 문제 해결에 대한 연구 발표

○ 반도체 분야

- 대표 연구성과

과제명	성과 내용
스핀-궤도 결합 소재를 이용한 저전력 스핀로직소자 (KIST, 구현철)	<ul style="list-style-type: none"> 스핀-궤도 토크 기반의 외부 자기장 없이 구동되는 자화 스위칭을 구현 성공 스핀로직에 사용되는 자기터널 접합을 이용한 스핀-궤도 토크 소자 제작 스핀-궤도 토크에 의한 자화 스위칭을 MTJ (Magnetic Tunnel Junction) 구조 및 TMR (Tunnel Magnetoresistance)를 활용하여 최대 80% 정도의 자기저항비 차이를 달성하는데 성공함 상기 스핀-궤도 토크를 자기 스위칭과 TMR을 이용한 자화 상태 읽기 기술을 토대로 2종 이상의 자화셀을 구성함으로써 로직 동작 구현이 가능해졌음 논문 : SCI(E)급 3편(Advanced Materials (IF=27.398) Phycis Review Letters (IF=8.385), Applied Physics Letters (IF=3.597)) 특허 : 국내출원 1건, 해외출원 1건
비공선 스핀 제어를 통한 가변구조형 논리 소자 개발 (KAIST, 김갑진)	<ul style="list-style-type: none"> 세계 최초로 왼손방향 스핀파를 측정함 중강자성체의 모드와 각 보상온도에 따른 스핀파 회전방향 반전을 측정함 Dzyaloshinskii-Moriya 상호작용에 의한 스핀파 주파수의 발산을 각온도량 보상온도에서 측정함 자기장에 따른 모드 교차온도의 증가를 측정하고 그 원인을 밝혀냄 주요논문 : Nature Materials (IF=38.663)에 게재
초저전력 steep-slope (Gamma)-FET 개발 (KAIST, 최양규)	<ul style="list-style-type: none"> 기존 메커니즘과 다른 급속 전이 메커니즘을 이용하여 steep-slope FET 개발 및 최적화 ($SS < 40$ mV/dec, '단일' slope) 반도체 소자에서 가장 민감하고 중요한 channel, source /drain junction, gate dielectric 구조를 변경하지 않고, 게이트 상부의 구조 변경만으로 steep-slope FET 개발 100% CMOS 표준 공정과 소재를 이용하여 steep-slope FET 개발 기존 steep-slope 기술 대비 우수한 문턱 전압 이하 기율기 (최소 $SS < 40$ mV/dec), '단일' slope, 큰 온-전류 ($I_{ON} > 10^{-5}$ A/um), 작은 오프-전류 (I_{OFF}), 큰 온-오프 전류비 ($I_{ON}/I_{OFF} > 10^6$) 성능 확보 논문 : SCI(E)급 7편 게재(IEEE Electron Device Letters (IF=4.221)) 특허 : 국내출원 1건

- 인력양성 현황(1차년도)

구분	석사과정		박사과정	
	기준	실적	기준	실적
선발/재학	60명	73명	30명	43명
인공지능반도체(서울대)	20명	21명	10명	10명
IoT반도체(성균관대)	20명	32명	10명	14명
바이오메디컬반도체(포항공대)	20명	20명	10명	19명

□ 개선·보완 필요사항

○ (차세대SW) 차세대 정보·컴퓨팅 기술개발 후속사업의 '21년 예산 미반영으로 인해 SW분야 기초·원천연구 축소 우려

⇒ 관계 부서(소프트웨어정책과 등)·기관(IITP 등)과 협업하여 지원방안을 강구하고, 사업계획 보완 등을 통해 '22년 신규예산 확보 추진

○ (슈퍼컴퓨터 개발 선도) 과제 총괄 수행·관리에 관한 실질적 역할을 3세부과제를 통해 추진 중이나 수평적 과제체계에 따라 관련 예산 반영 및 참여기관 간 연구내용 연계·조정 등의 어려움이 지속 제기

※ 16개 위탁과제를 조율할 수 있는 역량 및 체계 필요(선정평가위원회) 등

⇒ 동 시행계획에 총괄과제 신설 내용을 반영·추진

Ⅲ. 2021년도 예산 및 추진방향

□ 21년 예산 현황 : 46,686백만원

(단위 : 백만원)

구분	'20년도	'21년도	증감	%	비고
총계	43,850	46,686	2,836	6.5	
○ 차세대 정보·컴퓨팅 기술개발	14,416	-	△14,416	순감	'20년 종료
○ 슈퍼컴퓨팅 개발 선도	6,000	13,000	7,000	116.7	단계평가
○ 양자컴퓨팅 기술개발	8,434	9,634	1,200	14.2	
- 핵심원천기술 개발	4,667	4,667	-	-	단계평가
- 유망기반기술 개발	3,767	4,967	1,200	31.8	신규과제5
○ 양자정보과학 연구개발생태계 조성	4,400	9,852	5,452	123.9	
- 물적기반 조성	2,700	5,977	3,277	121.4	
- 인적기반 조성 ^{주1}	1,700	3,875	2,175	127.9	신규과제5
○ 시스템반도체 융합전문인력 육성 ^{주1}	3,600	7,200	3,600	100.0	신규과제2
○ 혁신성장연계지능형반도체기술개발	7,000	7,000	-	-	'21년 종료
- 지능형반도체 신소자 원천기술개발	6,790	6,790	-	-	
- 기평비	210	210	-	-	

주1. “과학기술혁신인재양성” 사업의 내역사업

□ 중점 추진 방향

- ① 코로나19 위기상황 지속에 따른 사업별·과제별 리스크의 선제적 조치 및 문제발생 시 적시 대응 등 연구자의 안정적 연구활동 지원
- ② 프로젝트 사업*의 성공적 수행을 위해 부처(과기정통부) - 전문기관(연구재단) - 사업수행기관(센터) 간 유기적 협력체계 강화
 - * 슈퍼컴퓨팅 개발 선도, 양자정보과학 연구개발생태계 조성, 시스템반도체 융합전문인력 육성
- ③ 우수과제 집중 지원 및 과제수행 개선 지원 등 사업특성을 고려한 차별화된 연차점검·단계평가 방식을 통해 관리·평가 내실화
 - ※ 단계평가 대상 : 슈퍼컴퓨터 개발 선도, 양자컴퓨팅 기술개발(핵심원천기술 개발)

Ⅳ. 2021년도 사업별 추진계획(안)

1. 슈퍼컴퓨터 개발 선도 : 13,000백만원

◇ 총괄 수행·관리체계 개선 등 부족한 부분을 보완하고, 과제수행 개선 중심 단계평가 진행 등을 통해 우수성과 창출 기반 강화

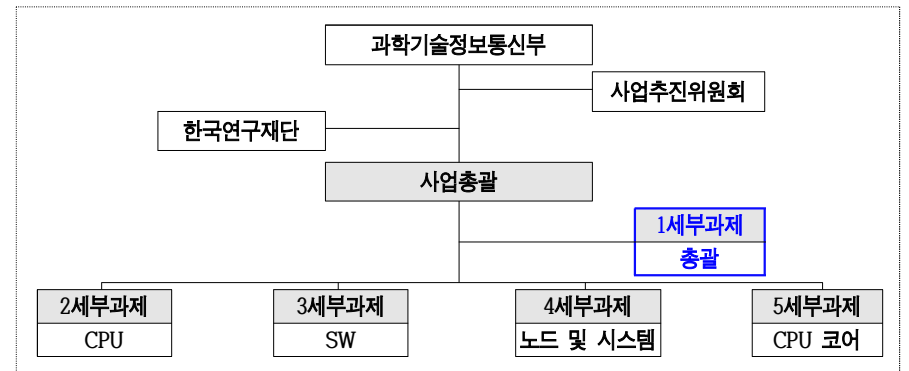
① 과제체계 개편 및 2차년도 연구비 지원(1월)

- 총괄책임자가 리더십을 갖고 과제를 체계적으로 이끌어 갈 수 있도록 총괄과제를 신설하여 과제 간 위계체계 강화

< 총괄과제 주요 기능 및 역할(안) >

- (추진체계) 세부과제 간 연구내용 연계·조정 및 사업추진단 구성·운영 등
- (프로젝트 관리) 사업 요구사항 관리, 연구개발 이슈/위험요소 추적·관리·대응, 중간/최종 결과물의 품질·형상관리 환경 구축 등
- (시스템 분석 및 통합) 시스템 주요 특성 분석, 단계별 부분 통합 및 최종 결과물 통합 계획 수립, 통합시험 추적관리 등
- (국내외 기술협력) 사업 결과의 공유·확산 및 국내외 기관과의 기술협력 추진 등

< 과제체계 개편(안) >



○ 성공적 연구수행을 위해 2년차 연구비를 신속히 지급

< 과제별 연구기간 및 연구비(안) > (단위: 백만원)

과제 개요				'21년도		비고	
과제명	기관/책임자	총연구기간	총연구비	연구기간	연구비		
초병렬 프로세서 기반 슈퍼컴퓨터 계산·노드 기술개발	ETRI/한우종	'20.7.6~'24.4.5	47,500	'21.1.6~'22.1.5	13,000		
(1세부) 슈퍼컴퓨터개발 선도사업 총괄 및 시스템 통합	ETRI/한우종	'21.1.6~'24.4.5	2,000		500		과제신설
(2세부) 슈퍼컴퓨터 초고성능 CPU 프로세서 반도체 기술개발	ETRI/권영수	'20.7.6~'24.4.5	20,500		5,900		
(3세부) Co-Design 프로세서를 위한 슈퍼컴퓨팅 SW 스택 개발	KISTI/박찬열		7,500		1,800		
(4세부) 초병렬 프로세서 기반 고집적 컴퓨팅 노드 및 시스템 개발	ETRI/박유미		10,100		2,800		책임자 변경
(5세부) 오픈 ISA 기반 슈퍼컴퓨터 프로세서 코어 기술 개발	ETRI/한진호	7,400	2,000				

2 부처-전문기관-주관기관 간 유기적 협력체계 강화(상시)

- 예산확보 및 과제 수행 등 사업추진 방향에 대한 상시 협의 추진
- 세부 기술적 사항은 운영위원회(월 1회), 총괄위원회(연 2회), 자문위원회(연 2회) 등을 통해 관계 전문가 의견수렴 및 협의 결정

3 과제수행 개선 중심 단계평가 실시(12월)

- 전문가평가단을 통해 1단계 실적과 2단계 계획을 평가하되, 단순 평가점수 도출보다는 성과 제고를 위한 2단계 계획 보완에 중점을 두고 진행

< 평가지표(안) >

부문	평가항목	배점	부문	평가항목	배점
연구 성과 (50%)	목표 달성도	20	연구 계획 (50%)	목표의 타당성	25
	연구수행 방법의 적절성	10		연구수행 방법의 적절성	15
	연구결과 및 성과 우수성	10		예상 연구결과의 활용 가능성	10
	연구결과와 활용 가능성	10			

2. 양자컴퓨팅 기술개발 : 9,634백만원

- ◇ 핵심원천기술 개발 1단계 및 유망기반기술 개발 19년 신규과제의 마지막 지원연도로 과제별 목표성과 창출 적극 지원
- ◇ 국내 연구그룹 육성을 위한 지원 확대 및 연계체계 강화 지속

1 계속과제 지원 및 관리 : 26개 과제, 8,674백만원

- (연구비 지원) 안정적 연구수행을 위해 2~3년차 연구비를 연구 개시 전까지 지급 완료(2~4월)

< '21년도 계속과제 지원 및 관리계획(안) > (단위: 백만원)

구분	과제명	연구기간	연구비	과제관리
핵심 원천 기술	범용양자 컴퓨터(3)	'21.05 ~'22.02 (10개월)	고체 점결함을 이용한 확장성 있는 양자컴퓨팅 시스템 개발	1,000
	초전도 범용양자컴퓨팅 시스템 핵심원천 기술 개발		1,000	
	반도체 양자점 프로그래머블 양자컴퓨팅 시스템 개발		1,000	
	광자기반 중규모 양자시뮬레이터 및 응용기술 개발		833	
양자시뮬레이터(2)	단일 원자 제어가 가능한 대규모 큐비트 양자 시뮬레이터 개발		833	단계평가* (22.1월)
시스템 기술 (9)	실리콘 P donor-Nanomagnet 큐비트 기반기술 연구개발	'21.05 ~'22.04 (12개월)	스킵 큐비트 쌍 기반 결합 허용 양자연산 기술 개발 및 성능 평가	252
	리튬원자 큐비트를 이용한 controlled NOT 게이트의 병렬 연산		252	
	가상 실행을 위한 End-to-End 양자 소크웨어 스택		252	
	평면 이온트랩 기반의 양자컴퓨팅 하드웨어의 구현과 벤치마킹		250	최종평가* (22.6월)
	다차원 양자얽힘 큐비트 개발 연구	'21.03	250	
	광학기반 양자컴퓨팅을 위한 초거대 클러스터 양자얽힘상태 개발	~'21.12 (10개월)	250	
	양자점 스핀-광자 상호작용 기반 확장적 양자로직게이트 개발		250	연차점검* (10개월)
	실리콘 포토닉스 양자 얽힘 논리 회로 기술		250	
	유망 기반 기술	NISQ 기반 양자컴퓨터의 최적화 및 최적화 알고리즘 연구개발	'21.05 ~'22.04 (12개월)	높은 확장성과 지원 효율성을 가진 오류 허용 양자컴퓨팅 연구
멀티큐비트 동시 측정 및 제어를 위한 극저온 환경 대응 집적소자 개발		167		
QAOA를 이용한 양자 심층 강화 학습 알고리즘 개발		167		
고전적으로 시뮬레이션 하기 어려운 얽은 양자회로 연구			167	최종평가* (22.6월)
효율적인 양자컴퓨팅을 위한 양자회로 최적화 연구			167	
격자 기반 문제에 대한 효율적인 양자계산 알고리즘			167	
양자채널용량의 정성적 바운드 결정과 양자알고리즘		'21.03 ~'21.12 (10개월)	146	
조작분포함수 기반의 양자이점 파별법 개발 및 활용 연구			116	
프로그램 가능한 광 도파 회로 내 고 차원 얽힘 상태 발전과 측정			116	
NISQ 수준 양자컴퓨터의 오류 완화를 위한 양자제어 이론 연구			110	
비대칭 배열로 포획된 리드버그 원자들의 결맞음 제어		93		
합계(26과제)		-	8,674	-

② (연차점검) 유망기반기술 개발 '19년 선정과제(8개)는 컨설팅 중심의 연차점검, '20년 선정과제(13개)는 연차점검 생략(연차실적·계획서 제출로 대체)

③ (단계평가) 핵심원천기술 개발 2개 분야에 대해 과제별 1단계 실적 및 2단계 계획을 평가하여 분야별로 2단계 지원과제를 선정

※ 경쟁형 R&D방식 : 각 분야별로 가장 우수한 1개 과제에 대해 2단계 지원 (범용양자컴퓨터 3개→1개 과제, 양자시뮬레이터 2개 → 1개 과제)

- 평가위원회 구성 : 해외 전문가를 포함한 우수 연구자를 평가위원으로 위촉하여 평가결과의 공정성 및 객관성 제고

- 평가방식 : 평가위원회 토론을 통한 합의평가 추진

- 평가주안점 : 기술방식별 글로벌 연구수준 등을 감안, 1단계 연구성과의 우수성 및 2단계 연구계획의 도전성, 요구성능 달성 가능성 등 종합 검증 평가

< 범용양자컴퓨터 분야 세부 목표 및 평가요소 >

구분	주요 내용	
세부목표	<ul style="list-style-type: none"> 단일 모듈로 5큐비트 이상 컴퓨팅 구현, 단일 큐비트 게이트 연산 신뢰도 95% 이상, 큐비트 측정 오류율 1% 이하 등 	
평가요소	큐비트 게이트 신뢰성	<ul style="list-style-type: none"> 독립적인 단일 큐비트 게이트 95% 이상, 2-큐비트 게이트 90% 이상 측정평가법: 개별 gate tomography / randomized benchmarking
	큐비트 측정의 오류율	<ul style="list-style-type: none"> 5개 큐비트 동시 모두 측정시 개별 큐비트 오류율 1% 이하
	확장성	<ul style="list-style-type: none"> 단일 모듈내 5개 큐비트 이상(단일모듈은 그 자체로 최대 큐비트수를 포함하여, 설계과정에서 이미 고정된 형태를 의미) 다수의 모듈을 연결하는 방식을 포함하여 전체적으로 제어 가능한 최대 큐비트수

< 양자시뮬레이터 분야 세부 목표 및 평가요소 >

구분	주요 내용	
세부목표	<ul style="list-style-type: none"> 양자컴퓨팅 기술을 활용하여 해결할 수 있는 실용적 문제*를 제시하고 문제 해결에 최적화된 양자 시뮬레이터 개발 * 신소재, 신약, 촉매, 빅데이터, 인공지능, 암호해독 등 경제사회적 파급효과가 높은 분야 	
평가요소	양자시뮬레이터 성능	<ul style="list-style-type: none"> 주어진 양자문제를 해결하기 위한 물리적 시스템을 구성하는 기술 전반
	문제 정의 및 매핑기술	<ul style="list-style-type: none"> 큐비트를 이용한 물리 시스템 시뮬레이션에 필요한 수학적 문제정의 기술 수학적 문제 또는 알고리즘을 개별 양자시뮬레이터 하드웨어에 매핑하는 기술 측정된 양자상태에서 문제의 해답을 찾아내는 포스트 프로세싱 기술
	비트기반 컴퓨팅 이용 검증 기술	<ul style="list-style-type: none"> 슈퍼컴퓨팅 등을 이용하여 동일문제에 대한 양자시뮬레이션 결과 비교 검증 기술

④ (최종평가) '19년 선정 8개 과제(유망기반기술 개발)에 대해 연구성과 등을 심층 검토·평가하고, 우수사례·문제점 등을 사업에 환류

- 평가위원회 구성 : 평가의 일관성 및 전문성 제고를 위해 해당 과제 기존 평가위원 및 후보자 풀을 활용

- 평가주안점 : 선정 당시 연구계획서에서 제시한 연구목표 및 성과 목표 대비 달성도, 우수성과소개서의 질적 우수성 등

< 유망기반기술 개발 최종평가 평가지표(안) >

구분	평가지표	평가내용
연구목표 달성도 및 활용계획	연구목표의 달성도	<ul style="list-style-type: none"> 당초 계획된 최종 연구목표를 달성하였는가?
	연구개발결과 활용계획의 적절성	<ul style="list-style-type: none"> 연구개발결과 활용계획이 적절한가? 연구성과가 향후 실용화 가능성이 있는가?
연구성과	연구성과의 질적 우수성	<ul style="list-style-type: none"> 연구성과가 질적으로 우수하며, 국가 과학기술 경쟁력 향상에 도움이 되는가?

⑤ 신규과제 선정 및 지원 : 5개 과제, 960백만원

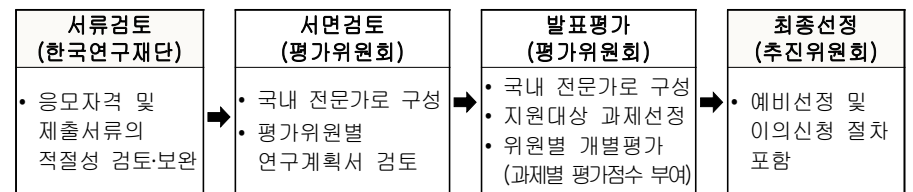
○ 지원 분야 및 규모

- 시스템기술 개발 : 3개 과제, 660백만원(9개월분)

- 알고리즘 및 응용SW 개발 : 2개 과제, 300백만원(9개월분)

○ 선정 절차 및 방법

< 주요 선정절차(안) >



- 평가위원회 : 패널별 전문가 7인 내외로 구성

- 평가방식 : 평가위원별로 평가점수를 부여하는 개별평가로 진행

	지변확대 등	<ul style="list-style-type: none"> 양자정보과학 종합정보시스템 구축운영 온라인 교육 콘텐츠 제작 및 국내외 콘텐츠 공유체계 구축 양자정보 분야 국내외 동향 분석 및 정책 수립 지원 등
물적기반 조성	양자소자 제작 지원	<ul style="list-style-type: none"> 한국나노기술원과의 협력을 바탕으로 양자소자 전용 공정지원 시스템 확립 양자소자 단위공정 지원을 위한 수요조사 및 순차적 공정장비 구축 (양자소자 전용 클린룸(354m²) 완공 및 운영 시작 등) 조선도 소자 일괄공정을 통한 파운드리 서비스('22.2분기 목표) 준비
	양자클라우드 서비스 활용 지원	<ul style="list-style-type: none"> 연구/교육 목적의 양자클라우드 활용지원 서비스 양자클라우드 제공 업체와의 협업 등을 통한 양자컴퓨터 프로그래밍 교육 실시(IBM과 공동으로 Quantum Challenge행사 주관 등) 등

2 리더급 연구역량 강화 : 11개 과제, 1,425백만원

○ 계속과제 지원 및 관리 : 6개 과제, 975백만원

< 계속과제 지원 및 관리계획(안) > (단위: 백만원)

구분	과제 개요	'21년도		'21년도		과제관리
		총연구기간	총연구비	연구기간	연구비	
연구 혁신형	양자정보를 위한 그래핀 기반 마이크로파 단광자 검출기 개발	'20.8.16~	200	'21.2.15	100	연차점검
	하이브리드 양자 집적 광학 소자	'22.8.15	200	~	100	
	양자 광원 및 메모리용 인공 소재		200	'22.2.14	100	
체질 강화형	원자 분자 양자 시뮬레이터 개발을 위한 국제공동연구단 운영		675	'21.6.21	225	연차점검
	양자컴퓨팅 구현을 위한 양자 기반기술 개발 국제공동연구단 운영	'20.9.21~	675	~	225	
	2D van der Waals 소재 양자컴퓨팅 국제공동연구단 운영	'23.3.20	675	'22.3.20	225	

○ 신규과제 선정 및 지원 : 5개 과제, 450백만원

< 연구혁신형 과제 : 3개 과제, 150백만원(6개월분) >

- 지원 분야 : 양자 통신·센서 분야 신규 예산이 별도 확보(과기정통부 2차관실)됨에 따라 지원 분야를 양자정보과학 전 분야 ⇒ 양자컴퓨팅 및 양자정보 기초원천연구 분야로 조정

< 지원 분야 조정(안) >

과기정통부 1차관실(한국연구재단)	과기정통부 2차관실(정보통신기획평가원)
양자컴퓨팅 응용 분야 양자정보과학 분야 기초원천연구	양자통신 응용분야 양자센싱 응용 분야

- 지원기간 : 미국측 요청에 따라 2년 ⇒ 3년으로 확대

- 선정절차 : 한-미 통합공모 ⇒ 1차(개략 연구계획서 등) 개별평가 ⇒ 지원 후보과제(5개 과제) 협의·선정* ⇒ 2차(상세 연구계획서 등) 개별평가 ⇒ 최종 지원과제(3개 과제) 협의·선정

* 각 국별로 우선순위가 높은 2개 과제(총 4개 과제) + 한-미 협의 1개 과제

** 각 국별로 우선순위가 높은 1개 과제(총 2개 과제) + 한-미 협의 1개 과제

- 평가지표(안)

평가항목	평가주안점	배점
연구계획(60)	연구주제·방법의 독창성과 공동연구팀 시너지	30
	미국의 앞선 연구역량의 공유 및 자원의 연계·활용도	30
성과활용(40)	연구자의 연구역량 강화 정도와 달성 가능성	40

< 체질강화형 과제 : 2개 과제, 300백만원(6개월분) >

- 연구단 구성·운영 기준 : 원활한 연구단 운영을 위한 석·박사생 등 연구보조인력 참여요건 완화* 및 코로나19 상황을 감안한 중점추진사항 유연화**(계속과제 동일 적용)

* 인건비 지원 불가능 → 연구단 전체 구성인원의 30% 범위 내에서 인건비 지원 가능

** 코로나19 상황으로 상대국 방문이 어려운 경우 국내 연구자 간 공동실험 포함

- 1차년도 연구기간 : 코로나19 및 참여기관 간 협력 MoU 체결 등 초기 과제수행기반 구축기간을 감안, 3개월 연장(9개월)

- 평가지표(안)

평가항목	평가주안점	배점
연구계획(60)	연구목표·내용의 사업목적 충실성 및 실현가능성	30
	추진 전략·방법·체계의 적절성 및 효율성	30
성과활용(40)	성과목표의 타당성 및 달성가능성	40

③ 양자정보 협력 네트워크 운영 : 1개 과제, 200백만원

- (과제성격 변경) 다양한 연구자의 과제참여를 장려하기 위해 과제 목적 및 성격 등을 감안, 3책5공 미적용
 - ※ 근거 : 과학기술정보통신부 소관 과학기술 분야 연구개발사업 처리규정 제18조제2항제7호
- (연구비 지원) 3년차 연구비를 안정적 적기 지원

< 연구비 지원(안) > (단위: 백만원)

과제명	과제 개요(안)		'21년도(안)		
	총연구기간	총연구비	연구기간	연구비	과제관리
양자컴퓨팅 국제협력 네트워크 운영	'19.4.1~ '23.12.31	1,100	'21.1.1~ '21.12.31	200	단계평가 (12월)

- (단계평가) '21년도 실적 및 '22년도 추진계획 등을 평가하여 2년 추가지원 여부 결정
 - 절대평가로 진행하고, 전문가 컨설팅을 통해 연구성과 진단 및 차기단계 과제추진 방향성 제시

④ 계속과제 연차점검

- 관련 전문가 서면 점검·컨설팅 등을 통해 전년도 실적 확인 및 차년도 계획 보완

4. 시스템반도체 융합전문인력 육성 : 7,200백만원

◇ 신규센터 2개 추가 선정 및 연차점검 결과를 반영한 학생지원체계 개선을 통해 고급융합전문인력 배출체계 본격 가동

① 계속과제 지원 : 3개 과제, 4,800백만원

○ 공통사항

구분	학생선발계획 (명)	교육프로그램 (개설건수)	산학기술교류 (회)
서울대	석사 : 22 박사 : 12	18	9
성균관대	석사 : 26 박사 : 13	10	14
포항공대	석사 : 20 박사 : 18	27	4

○ 주요 특이사항

구분	'21년 주요 계획	지원금액 (백만원)
서울대	- 학생들의 니즈와 기업의 수요를 반영하여 12건의 기존 교육 과정을 실무형 교육으로 보완 - 참여 기업들과의 협력을 통해 고용 연계 시스템 구축 및 취업 프로그램 기획 - 인공지능 및 반도체 응용 기술 그룹별 위원회를 활용한 산학 연계 프로젝트 기획 및 이를 활용한 (PBL) 교육운영 예정 - 참여학생들의 MPW 및 FPGA 구현 경진대회 및 성과발표회를 겸한 산학협력 및 취업박람회 개최	1,600
성균관대	- 협약 완료된 학점 교류 관련 시스템 구축(온/오프라인) - 융복합 상호 학점 인정 과목 : 2과목 이상, PBL 교과목 : 2과목 이상 - SCI급 논문 게재 : 18편 이상, 특허 : 3편 이상	1,600
포항공대	- 현장 밀착형 융합설계 교육체계 개발 - 시스템반도체 융합설계를 위한 현장 이슈 공유 - 산업 현장 밀착형 기초연구 수행 및 교육과정 개발 - 참여기업 및 연구소와 산학연 교류 기회 구축	1,600

2 신규과제 선정 : 2개 과제, 2,400백만원

○ 공모개요

- (공모분야) 신규과제 2개, 차세대 시스템반도체 유망분야 중 1개 선택
 < 차세대 시스템반도체 유망분야 >

분야명	주요내용	비고
인공지능 반도체	• 스마트시티, VR·AR, 빅데이터, 뉴로모픽 등 인공지능반도체	'20년 선정
자동차 반도체	• BMS, 자율주행 자동차, 전장 관련 반도체 등	
바이오 반도체	• 생체신호 및 질병 진단(예측) 등, 헬스케어 관련 반도체 등	'20년 선정
IoT 반도체	• 자율적 데이터 수집·판단·처리가 가능한 초소형 장치용 반도체	'20년 선정
에너지 반도체	• 신재생 에너지, 에너지 하베스팅 관련 반도체 등	
로봇·기계 반도체	• 4차산업혁명 스마트팩토리, HCI 등 로봇용 반도체 등	
통신 반도체	• 5G, 초저전력 근거리 통신 시스템 등의 통신용 반도체 등	

※ 예시 분야를 중심으로 모든 유망분야가 가능하나 예시 외 분야(이하 “기타분야”)의 경우, 예시 분야와 비슷한 범위와 수준으로 설정

※ '20년도 선정분야(바이오, IoT, 인공지능) 제외

○ 센터 운영 기준

- (센터 교육과정 예시)(“_”은 필수사항)

· PBL 교과목은 칩 제작 실습교육으로 이수요건에 칩 설계·제작·측정이 포함되어야 하며, 칩 제작 계획이 없는 경우 센터지정 불가

분류	주요 내용	교과목 예시	수료기준		
			석사	박사	세부기준
반도체 기초	소자/회로/시스템 분야의 이론 교육	반도체소자, 아날로그집적회로, 디지털집적회로, 디지털신호처리, 설계자동화 등	3학점 (1과목) 이상	3학점 (1과목) 이상	본인전공 외 1과목 이수
반도체 실화	소자/회로/시스템 분야의 심화이론 및 실습 교육	반도체소자모델링, 저잡음회로, 메모리소자설계, 고주파회로설계, Mixed-Signal 회로설계, PMC 설계 등	3학점 (1과목) 이상	3학점 (1과목) 이상	본인전공 외 1과목 이수
융합 심화	소자/회로/시스템의 수평적, 수직적 융합 및 응용 교육	인공지능반도체, 차량용 센서, 초고속 통신시스템, 바이오 융합 반도체, 의로기기 시스템, 센서 응용, 에너지 하베스팅, 인공지능 로봇 등	3학점 (1과목) 이상	3학점 (1과목) 이상	학위논문 연계 가능, 상위 수준의 반도체 시스템 연구
PBL (Project Based Learning)	칩 제작 실습 교육 (칩 설계·제작·측정 필수)	산업계 미래수요 기반 주제 및 공동프로젝트 등 활용	3학점 (학생주도 1개 이상 칩 제작)	6학점 (학생주도 2개 이상 칩 제작)	학위논문 연계 가능, 디지털 분야는 FPGA 활용 설계 검증 가능
최소 이수 학점			12학점	15학점	

※시스템 반도체 분야 R&D 과정에서의 IP 전략수립·활용방법 등 교육과정 포함 예정

- (인력배출) 착수 1차년도 가을학기, 2차년도부터 봄학기 모집을 기준으로 하여 사업완료 시까지 센터당 석사 100명, 박사 40명 이상 배출
- 산업부 지능형반도체 인력양성, ITRC 등 유사사업 참여자, 취업연계 지원금(연구비, 급여, 장학금 등) 수혜자, 외국인은 참여 제한
- 교육·진로상담, 창업멘토 등 학생지원프로그램 운영

< 1개 센터 석·박사 배출 기준 >

구분	시기	1년차		2년차		3년차		4년차		5년차		6년차		계
		(4월)	(9월)	(3월)	(3월)	(9월)	(3월)	(9월)	(3월)	(3월)	(12월)			
석사	신입생		20	20	20	-	20	-	20	-	-	-	-	100명 배출
	재학생	착수	-	20	40	40	20	40	20	20	20	-	-	
	졸업생		-	-	-	20	-	20	20	20	20	-	-	
박사	신입생		10	10	10	-	10	-	-	-	-	-	-	40명 배출
	재학생	착수	-	10	20	30	30	30	20	10	-	-	-	
	졸업생		-	-	-	-	-	10	10	10	10	-	-	

○ 선정 방향 및 평가 절차

- (선정방향) 특화분야별 강점과 인력육성계획을 갖고 있는 과제(센터) 선정
- 1차, 분야內 → 2차, 분야間 경쟁을 통해 2개 우수 과제(센터) 선정

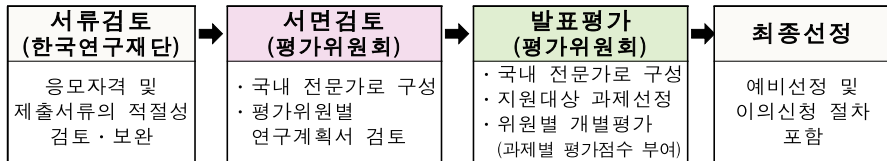
< 평가항목 및 요소(안) >

평가항목	평가요소(내용)
인력육성 방향 및 전략 (20점)	<ul style="list-style-type: none"> · 지원 특화분야의 중요성 및 융합전문 인력 육성 필요성 · 지원 특화분야 특성 등을 감안한 육성목표 인재상의 적절성 · 참여 대학의 특화분야 재학생·졸업생 현황(최근 5년간)과 교직원·교육인프라 현황 분석에 근거한 신입생·졸업생 학생 수 및 배출 계획의 현실성 · 'T자형' 우수 인재 양성을 위한 교육 철학과 방법론
추진체계 구성 및 운영 (20점)	<ul style="list-style-type: none"> · 인력육성 추진체계(센터) 참여 기관·교직원의 교육 역량 · 센터 운영체계(참여 기관·교직원 간 역할분담 등)의 효율성 및 유기성 · 센터 운영기반(공간·장비 인프라, 지원인력 등)의 적구성 및 우수성
교육과정 개발 및 운영 (40점)	<ul style="list-style-type: none"> · 교육과정의 사업취지·기본방향(공고문 p2, 하단 표, 연구주제안내서 예시안 등) 등과의 부합성 및 목표인재 육성의 적합성 · 융합·실습 중심 신규 교과목 및 교재 개발 건수 · 학생 1명 당 칩 제작 횟수 · 학생 칩 제작 성과발표 워크숍·세미나 개최 횟수(기업 참여 필수) · 센터 내 컨소시엄 대학 간 상호 학점인정(이러닝 콘텐츠 제작 및 공동활동)강좌 수, 강좌 수강 학생 수 · 교육·진로상담, 창업 멘토링 횟수 · 강의·프로젝트 등에 중소/중견기업·연구소 참여 건수
성과 확대 (20점)	<ul style="list-style-type: none"> · 참여 대학의 특화분야 재학생·졸업생 현황(최근 5년간) 분석 결과에 근거한 졸업생의 관련 기업·기관 취업자 및 관련학과 진학(박사과정, 포스닥) 인원 수 · 정부지원 종료 이후 사업성과 활용방안(교육과정 지속 운영 등)의 적구성 · 타 센터 참여 칩제작 성과발표회, 워크숍·세미나 개최 횟수

○ 평가절차

- 평가위원회 : 패널별 전문가 7인 내외로 구성하되 이해관계자는 배제
- 서면검토
 - 평가대상 과제에 대한 연구계획서에 대한 검토 실시
 - 발표평가 진행을 위한 주요 검토사항 도출 등
- 발표평가
 - 연구책임자별 발표와 평가위원과의 질의응답으로 실시
 - ※ 과제별 연구책임자 발표 30분, 질의응답 30분
 - 평가위원별로 평가점수를 부여하는 개별평가로 진행
 - ※ 연구계획서 및 발표사항에 대한 사실확인을 위해 평가위원회 토론 가능
 - ※ 과제별 최종 평가점수는 평가위원들이 부여한 점수 중에 최고점과 최저점을 각 1개씩 제외한 점수의 산술평균값으로 도출

< 평가절차 >



③ 과제 운영 체계 개선

- 타 프로그램(BK21) 중복수혜 중인 박사과정생의 원활한 사업참여를 위해 박사과정은 사업 참여율 50%를 ‘연간’ 계상 가능토록 명확화
 - ※ (예시) 참여율 50% 월단위 의무화시, 월250만원 받는 BK21수혜 박사과정생 (BK21 최저수령액 130만원)의 경우 50%(125만원) 의무조건 충족이 어려워 사업참여 곤란
- 더 많은 학생 배출을 위해 ‘박사 6학기 지원’ 조건을 학교별 여건에 따라 ‘최소 4학기(최대 6학기)’로 조정할 수 있게 하고 잔여예산은 학생 추가 지원
- 시스템반도체융합전문인력양성사업 협의체 확대 운영
 - 시스템반도체융합교육과정 수 석·박사과정생 대상 만족도 조사 실시(‘21.12월)
 - 공통성과목표 수립·운영, 컨소시엄간 공동운영 과목 검토 및 공동개발
 - 칩 제작 공동추진, 성과발표회 및 워크숍 공동 개최 등

5. 지능형반도체 신소재 원천기술개발 : 7,000백만원

- ◇ 사업지원 최종 연도로서 IP창출 등 연구성과 극대화를 위한 집적 검증-신소자연구 간 연계 강화 추진
- ◇ 사업종료 후, 우수 과제는 연관사업 연계 검토

① 계속과제 지원 및 관리 : 15개 과제, 6,790백만원

① (연구비 지원) 15개 과제, 6,790백만원 ※기평비(210백만원) 별도

내역 사업명	'21년 주요 추진내용	지원금액 (백만원)
집적검증	<ul style="list-style-type: none"> ■ [반도체 신소재를 위한 집적/검증 플랫폼 기술 개발] <ul style="list-style-type: none"> - 신소재 제작 집적 공정 플랫폼을 안정화하여 매월 10매 이상의 8인치 기반 신소재 집적웨이퍼 제작 및 평가 - 대용량 신소재 데이터 처리를 위한 PC 기반의 GUI를 개발하여 대용량 집적 플랫폼 사용자 친화적인 환경 구축 - 상용 EDA tool 기반 다차로직 시스템 설계 방법론 개발 - N-, P-type Complementary 집적을 통한 최적 회로 특성 구현 및 검증 	1,800
핵심선도 기술	<ul style="list-style-type: none"> ■ [저전력, 고밀도 신개념 두뇌모사 소자 및 아키텍처 기술개발] <ul style="list-style-type: none"> - CMOS 호환 가능 시냅스 공정, 구조 개발 및 array 제작 - 산소 이온 전도기반 신뢰성 있는 시냅스 소재/소자 개발 - 광 기반 시냅스 소자 및 고집적 어레이 제작을 위한 소재/공정 기술 개발 - CMOS 주변회로와의 호환성을 가지는 인터페이스 회로개발 	500
	<ul style="list-style-type: none"> ■ [Sub-pj 스파이킹 인공 신경망 기술] <ul style="list-style-type: none"> - 인공 뉴런 소자 및 인공 시냅스 소자의 에너지 효율 향상 기술 개발 - 신소재 기반 국소 인공 신경망 제작 - 신소재 기반 국소 인공 신경망 동작 및 학습 기법 개발 	450
	<ul style="list-style-type: none"> ■ [분극 스위칭이 가능한 유전체 기반 메모리 트랜지스터와 이를 이용한 비 휘발성 로직 아키텍처 검증연구] <ul style="list-style-type: none"> - 이중접합, 유전체 Seeding층, Doping이 최적화된 FeFET 특성 검증 - 강유전체 소자 기반 TCAM의 검증 연구 및 PUF 설계 - 개발된 모델을 이용한 회로 설계 시뮬레이션 진행 및 이를 통한 고성능 FeFET의 가이드라인 제시 	450
	<ul style="list-style-type: none"> ■ [벌크 CMOS 기반의 reconfigurable FET 핵심기술 개발] <ul style="list-style-type: none"> - RFET 소자 채널의 밴드갭 엔지니어링을 통한 소자 성능 개선 - 개발된 3-gate 구조의 RFET 소자를 이용한 로직 게이트 설계 및 제작 - RFET 기반 로직 게이트 특성 분석 및 성능 비교 검증 (vs. CMOS) 	490
	<ul style="list-style-type: none"> ■ [비공선 스핀 제어를 통한 가변구조형 논리 소자 개발] <ul style="list-style-type: none"> - 다수결 자구벽 로직 게이트 DMI 비대칭성 확인 - 스커미온 가이드링 및 논리소자 실험적 검증 및 회로 설계 - 스핀파 로직 소자 동작 확인 	450
	<ul style="list-style-type: none"> ■ [스핀-궤도 결합 소재를 이용한 저전력 스핀로직소자] <ul style="list-style-type: none"> - 스핀정보를 이용한 기능 재설정형 로직소자 개발 - 로직 구동용 초고속 드라이버 트랜지스터 개발 - 미세전류를 이용한 초고속 스위칭 자화셀 개발 - 기존 로직대비 에너지와 면적을 동시에 줄이는 스핀로직회로 설계 	500
	<ul style="list-style-type: none"> ■ [CMOS 호환 초저전력 이중접합/비휘발 자기재구성 광스위치 기술개발] <ul style="list-style-type: none"> - 비휘발성 커패시터를 이용한 비휘발성 광스위치 소자 구현 - 비휘발성 커패시터를 집적한 비휘발성 이중접합 광스위치 소자 구현 - 비휘발성 광스위치 어레이 설계, 대면적 III-V 전자 기술 확립 	500

내역 사업명	'21년 주요 추진내용	지원금액 (백만원)
	■ [에어캡 스마트 배선 기반 고속 저전력 내용 주소화 기억장치 소자 기술개발] - 스마트 배선 소자를 이용한 TCAM 모델링 및 구현 - 유전막 층 집적 스마트 배선 소자의 동작 검증 - 최적의 저전력 CAM 어레이 및 구조 제안/설계 - 워드매칭회로 비교 분석 (1차 칩 측정 및 분석)	450
	■ [초저전력 steep-slope Γ (Gamma)-FET 개발] - 3-D 구조 적용을 위한 트리거링 게이트/전이층 최적화 기술 개발 - Long channel Γ -FET 최적화 - 3-D short-channel Γ -FET 개발 및 최적화	200
	■ [Mott 소스-Si 채널 이중접합 구조 기반 Tunneling-FET/MOSFET 가변형 Hybrid-Mott TFET (MTFET) 신소자 개발] - Hybrid Mott-TFET 소자 최적화 - Mott 소자의 웨이퍼 스케일 균일도 및 재현성 확보 - Self-align 가능한 최적화된 Mott-TFET 소자 기술 제안 및 IP 확보 - 최적화된 소자 구조, 공정 및 특성 확보	200
창의도전 적연구	■ [대면적/집적화 가능한 complementary SOT-MTJ 구조기반 극 저 전력용 단위 셀 reconfigurable 스핀 로직 소자 원천기술] - 다층 synthetic 층수 변화에 따른 상보적 fully-stacked MTJ 구조 성장 및 ion milling 공정 최적화 - Ion milling etching 시간에 따른 자성 스위칭 transition 현상분석 - 상보적 단일 셀 공정을 위한 3 um 이하의 MTJ 특성 확보	200
	■ [인공지능 차세대 3차원 High Bandwidth Memory (HBM) 패키지 Architecture 개발] - Active silicon interposer 용 Integrated voltage regulator 정상 동작 및 Signal Integrity, Power Integrity 성능 검증 - Thermal Integrity, Signal Integrity 를 고려한 Thermal transmission line 기반 Embedded cooling structure를 적용한 PIM-HBM 모듈 설계 - Reinforcement learning 기반 Signal Integrity, Power integrity 고려한 PIM-HBM 신호선 및 전력 분배망 최적 설계	200
	■ [단층 2차원 물질 tunnel FET의 개발] - 흑린을 대체하여 대면적 성장이 가능한 PdSe ₂ 혹은 PtSe ₂ 로 heterojunction TFET을 개발하고 간단한 로직회로 구현	200
	■ [뇌모방 소자의 이기종 체계 인터페이스를 위한 유기 시냅틱 소자의 전자와 이온 이동 제어 기술 연구] - 시냅틱 트랜지스터의 소자 최적화 및 통합소자 연구 - 하이브리드 시냅틱 트랜지스터의 거동 연구 - 시냅틱 트랜지스터 어레이의 벡터 연산 검증	200

② (최종평가)

- 절대평가를 기본으로 우수한 연구성과 도출을 중점으로 추진
- ※ 우수과제는 연관사업(차세대지능형반도체기술개발) 등과 연계하여 후속지원 검토

③ (제도 개선)

- 원활한 연구를 위해 나노인프라 보유기관과의 협업이 필요한 **집적-검증과제는 '21년부터 나노인프라 보유기관을 참여기관으로 허용**
- ※ 연관사업(차세대지능형반도체기술개발)은 2021년도 시행계획에 기 반영('20.11월)

IV. 2021년도 추진일정(안)

'21년도 사업 총괄협약 체결(과기정통부↔한국연구재단) : '21.1월

사업별 세부일정

사업명	'20년 12월	'21년												'22년 1~6월		
		1월	2월	3월	4월	5월	6월	7월	8월	9월	10월	11월	12월			
슈퍼컴퓨터 개발 선도	계속	연차 점검													단계 평가	
양자 컴퓨팅 기술 개발	핵심원천 기술개발	계속				연차 점검									단계평가 (1월)	
	양자 기반 기술개발	신규	과제 공고	선정 평가	연구 개시									연차 점검		
양자 정보 과학 연구 개발 생태 조성	양자 정보 연구 지원센터	계속	연차 점검												연차 점검 (1월)	
	이전 기반 조성	신규	과제 공고 (연구 혁신형, 체질 강화형)	선정 평가 (체질 강화형)	연구 개시 (체질 강화형)	선정 평가 (연구 혁신형)		연구 개시 (연구 혁신형)						연차 점검		
	연구역량 강화	계속							연차 점검						연차 점검 (6월)	
	국제 협력네트워크	계속	연차 점검												단계 평가	
	물적 기반 조성	계속	연차 점검												연차 점검 (1월)	
	양자 정보 연구 지원센터	계속														
시스템반도체 융합전문인력 육성	신규	과제 공고	선정 평가	연구 개시										연차 점검		
	계속	연차 점검												연차 점검		
지능형반도체 신소자 원천기술개발	계속	연차 점검												최종 평가		

참고 1 「슈퍼컴퓨터 개발 선도」 개요 및 현황

□ 사업 개요

- (목적/내용) 고성능 중앙처리장치(CPU) 핵심원천기술 개발을 통해 4차 산업혁명 필수기반시설인 슈퍼컴퓨터의 단계적 독자개발 추진
 - CPU의 HW·SW 핵심기술 개발 및 프로토타입 칩(시제품) 제작
- (기간/예산) '20년~'23년 / 약 475억원('20년 60억원, '21년 130억원)
- (수행방식) 과제의 구성·내용 및 최종 성과목표 등을 지정공모로 1개 컨소시엄을 선정하여 4년간 지원(2+2)

< 주요 요구사항 >

과제구성		주요내용	목표	기타
상용 ISA 기반 슈퍼컴퓨터 계산 노드 기술개발	CPU 기술개발	배정도 부동소수점 계산 유닛 기술, CPU 메모리 계층 기술, On-CPU 토폴로지와 칩 간 인터페이스 기술, 주변장치 연결 기술, CPU 칩 제작 기술	10TFLOPS 이상으로 배정도 부동소수점 계산 기능이 강화된 CPU 칩과 이를 위한 소프트웨어를 개발하고, 소규모 클러스터에서 개발된 하드웨어 및 소프트웨어 기술을 기반으로 병렬 응용 수준의 성능을 제시(TRL6)	컨소시엄 형태로 추진
	소프트웨어 기술개발	운영체제 기술, 병렬 프로그래밍 모델 기술, 슈퍼컴퓨팅 수치 라이브러리 및 응용 기술		
	노드 및 시스템 기술개발	슈퍼컴퓨터 노드기술, 클러스터 시스템 기술		
오픈 ISA 기반 CPU 코어 기술개발		SMID 기술, 파이프라인 및 Superscalar 기술, 분기 예측 기술, 비순차명령어처리 기술, 멀티코어 기술, 메모리 관리 기술, 전력 및 온도 관리 기술	슈퍼컴퓨터를 위한 CPU 코어의 ASIC PnR 결과 제시	

□ 지원과제 개요

○ 과제 구성

과제형태	과제명	연구 책임자	주관기관
총괄과제	초병렬 프로세서 기반 슈퍼컴퓨터 계산 노드 개발	한우종	ETRI
1세부과제	슈퍼컴퓨터 초고성능 CPU 프로세서 반도체 기술 개발	권영수	ETRI
위탁과제	슈퍼컴퓨터 CPU를 위한 발열 관리 기법 개발	정성우	고려대
위탁과제	슈퍼컴퓨터 CPU를 위한 RISC 코어 기반 고성능 가속기 기술 개발	김지훈	이화여대

과제형태	과제명	연구 책임자	주관기관
위탁과제	슈퍼컴퓨터 CPU의 메모리 관리 아키텍처 설계	이혁재	서울대
위탁과제	슈퍼컴퓨터 CPU를 위한 SIMD 확장 기술 연구 개발	김주영	KAIST
위탁과제	슈퍼컴퓨터 CPU를 위한 대규모 병렬연산유닛 구조 개발	노원우	연세대
2세부과제	Co-Design 프로세서를 위한 슈퍼컴퓨팅 SW 스택 개발	박찬열	KISTI
위탁과제	차세대 슈퍼컴퓨터를 위한 수치 라이브러리 개발	최재영	송실대
위탁과제	차세대 슈퍼컴퓨터를 위한 운영체제 기술 개발	정진규	성균관대
위탁과제	초병렬프로세서 기반 분산병렬 프로그래밍 모델 연구개발	진현욱	건국대
위탁과제	차세대 슈퍼컴퓨터를 위한 고성능 병렬 컴파일러 및 런타임 개발	성효진	포스텍
3세부과제	초병렬 프로세서 기반 고집적 컴퓨팅 노드 및 시스템 개발	한우종	ETRI
위탁과제	노드 성능 모델링 및 가속 HW 구조 개발	김장우	서울대
위탁과제	컴퓨팅 노드 메인보드 및 BIOS, BMC firmware 개발	김성수	(주)이노웰
위탁과제	단일 랙규모 클러스터 시스템 구축 및 시험 환경 기술 개발	장형기	에이피리온(주)
위탁과제	절연냉각제 기반의 슈퍼컴퓨터용 차세대 냉각시스템 개발	박준현	(주)스탠더드 시험연구소
4세부과제	오픈 ISA 기반 슈퍼컴퓨터 프로세서 코어 기술 개발	한진호	ETRI
위탁과제	벡터-연산자 확장을 통한 오픈ISA 기반 프로세서의 성능 개선	이영주	포스텍
위탁과제	피드백 기반 오픈 ISA 기반 슈퍼컴퓨터 CPU의 벡터 프로세싱 및 전력 관리 기법 최적화	박영준	한양대
위탁과제	슈퍼컴퓨터 코어의 오픈 ISA 확장에 의한 HPC 가속 아키텍처 개발	유민수	KAIST

○ 연구개발 목표 및 내용

최종 목표	슈퍼컴퓨터 CPU(초병렬프로세서) 핵심기술 및 이를 활용한 고집적 슈퍼컴퓨팅 노드와 시스템SW 기술개발을 통해 국가 선도 슈퍼컴퓨팅 시스템 원천기술을 확보		
세부 목표	1. 중앙처리 멀티코어와 병렬연산유닛(XPU)이 융합된 초병렬프로세서 아키텍처 프로세서 반도체인 슈퍼컴퓨터 CPU 핵심기술 개발 <ul style="list-style-type: none"> - 신개념 프로그래머를 배정도 16TFLOPS 병렬연산유닛(XPU)과 서버급 멀티코어 OOE 구조 벡터연산유닛(VE) 통합 설계 - 초고속 고용량 계층적 단층(적층형 추가 고려) 고용량 고속 메모리 시스템 통합 슈퍼컴퓨터 CPU - 온칩 XPU 메모리와 멀티코어 통합 메시 네트워크, 칩간 인터커넥트 - 스토리지, 고속 외부장치 연결을 위한 PCIe Gen4/5 16x - 슈퍼컴퓨터 CPU 프로세서 반도체 개발 및 통합 검증 		
	2. Co-design 초병렬프로세서에 최적화된 HPC용 시스템 SW 스택 개발 <ul style="list-style-type: none"> - 초병렬프로세서 기반 슈퍼컴퓨터 운영체제 최적화 - 초병렬프로세서 기반 슈퍼컴퓨터 응용을 위한 컴파일러 개발 - 초병렬프로세서 기반 슈퍼컴퓨터 병렬 프로그래밍 모델 개발 - 초병렬프로세서 기반 슈퍼컴퓨팅 수치 라이브러리 및 응용 개발 		
	3. 초병렬프로세서 기반 고집적 컴퓨팅 노드 및 시스템 기술 개발 <ul style="list-style-type: none"> - 초병렬프로세서 기반 32 TFLOPS 급 고집적 슈퍼컴퓨팅 노드 개발 - 클러스터 PoC 시스템 구축을 통한 기능/성능 및 안정성 시험 평가 		
	성능 지표	단위	정량 목표
	듀얼 프로세서 기반 컴퓨팅 노드 이론 성능	TFLOPS	32 이상
	듀얼 프로세서 기반 컴퓨팅 노드 전력 소모	Watt	1000 이하

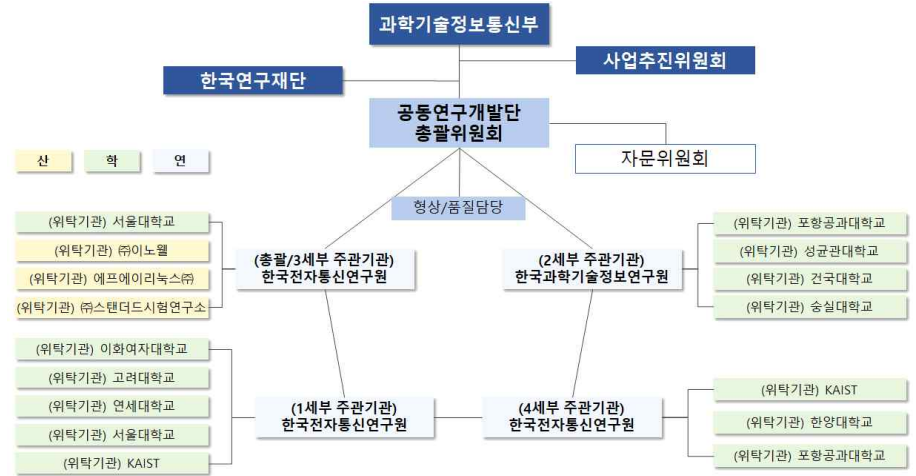
성능 지표	단위	정량 목표
컴퓨팅 노드 당 메모리 용량	TB	0.5 이상
컴퓨팅 노드 당 에너지 효율성	GFLOPS/W	20 이상
HPL 벤치마크의 클러스터 연산 성능 효율	%	60 이상
컴퓨팅 노드 안정성	Hour	24 이상
HPL 기반 서버 성능 편차	%/24H	10 이하

4. 벡터 연산이 가능한 멀티코어로 구성되는 오픈 ISA 기반 프로세서 코어 아키텍처 설계 및 반도체 칩 제작

- 비순차적 실행 및 슈퍼스칼라 구조를 갖는 프로세서 코어 설계
- 재구성 가능한 SMP 구조 및 병렬처리 극대화를 위한 SIMD 자원 공유가 가능한 슈퍼컴퓨터 프로세서 코어 설계
- 에너지 효율성(270mW/GHz)을 가지는 슈퍼컴프로세서 코어 설계
- 프로세서 코어의 Layout 및 1세부 통합 반도체 제작, SW 검증환경 구축

연차별 목표	구분	내용
연차별 목표	1차년도 (1단계)	<ul style="list-style-type: none"> ○ 슈퍼컴퓨팅 시스템 핵심 요소기술들의 구조 및 상세 설계 <ul style="list-style-type: none"> - (세부1) 슈퍼컴CPU의 멀티코어 통합 아키텍처 설계, 병렬연산유닛을 위한 단위연산유닛 설계 통합 및 검증 - (세부2) 초병렬프로세서 기반 핵심 SW 구조 연구 - (세부3) 초병렬프로세서 구조에 최적화된 노드 모델링과 분석을 통한 고집적 컴퓨팅 노드 설계 및 클러스터 시스템 구조 설계 - (세부4) 명령어 집합 시뮬레이터 기반 슈퍼컴퓨터 프로세서 단일코어 아키텍처 설계
	2차년도 (1단계)	<ul style="list-style-type: none"> ○ 슈퍼컴퓨팅 시스템 핵심 요소기술들의 기능 및 설계 검증 <ul style="list-style-type: none"> - (세부1) 병렬연산유닛 XPU의 설계와 SW연동 검증 및 멀티코어와 벡터 엔진을 통합한 슈퍼컴 CPU 통합 설계 - (세부2) 초병렬프로세서 시뮬레이션 환경 기반 핵심 SW PoC 개발 - (세부3) 초병렬프로세서를 모사한 FPGA 기반의 컴퓨팅 노드 기능 검증 프로토타입 및 테스트 클러스터 개발 - (세부4) 슈퍼컴퓨터 프로세서 단일코어 하드웨어 상세 설계 및 검증
	3차년도 (2단계)	<ul style="list-style-type: none"> ○ 슈퍼컴퓨터 단일 초병렬 프로세서 기반 컴퓨팅 노드 시제품 (HW-SW준비, SoC 제작 단계) 개발 <ul style="list-style-type: none"> - (세부1) 슈퍼컴퓨터 CPU의 멀티코어와 XPU통합 설계의 SW 연동 기반 에뮬레이션 검증 및 FE, BE, POSTSIM, Fab-in 실행 - (세부2) 컴퓨팅 노드 에뮬레이션 플랫폼 기반 핵심 SW 개발 - (세부3) 초병렬프로세서 기반의 컴퓨팅 노드 연구시제품 개발 및 테스트 클러스터 기반 응용 실행 환경 개발 - (세부4) 슈퍼컴퓨터 프로세서 단일코어 하드웨어 구현 및 멀티코어 아키텍처 설계
	4차년도 (2단계)	<ul style="list-style-type: none"> ○ 다중 초병렬 프로세서 기반 슈퍼컴퓨팅 시스템 개발 및 성능 평가 <ul style="list-style-type: none"> - (세부1) 슈퍼컴퓨터 CPU의 물리적 제작 및 슈퍼컴퓨팅 노드 탑재에 의한 시스템 검증과 기능, 성능, 전력 탐색에 의한 리비전 반도체 제작 - (세부2) 컴퓨팅 노드 기반 SW 최적화 및 HPC 응용의 동작 검증 - (세부3) 초병렬프로세서 기반 고집적 컴퓨팅 노드 실험시제품 및 단일 랙 클러스터 구축, 통합 성능 평가 - (세부4) 슈퍼컴프로세서 단일코어 반도체 제작 및 검증, 멀티코어 구현

○ 추진체계



□ '20년 주요 성과

- 슈퍼컴CPU(K-AB21)의 CPU아키텍처, 병렬연산유닛(XPU), 멀티코어 통합 아키텍처 설계 및 핵심구성요소 IP확보
 - 단위연산유닛 설계 통합 및 기능 검증용 에뮬레이터 개발
- 슈퍼컴퓨팅 응용 분석을 통한 병렬연산유닛 요구사항 도출과 병렬 연산유닛 기반 컴파일러 구조 설계 및 검증 실험
- 슈퍼컴CPU칩 기반 컴퓨팅 노드 시스템 요구사항 정의 및 메인보드, 확장 메모리, 전력 및 자원 관리 제어 HW 구조 설계
- 슈퍼컴프로세서 아키텍처 기반의 단일코어를 위한 오픈 ISA 설정과 프로세서 코어 내부 구성을 위한 명령어 집합 아키텍처 설계
- 사업 주요 마일스톤 수립 : 연차별/단계별 주요 시스템 구축 일정 확정
- 슈퍼컴퓨터개발 사업의 대내외 협력을 위한 사업추진단 구축 및 운영

참고 2 「양자컴퓨팅 기술개발」 개요 및 현황

□ 사업 개요

- **(목적)** 꿈의 컴퓨팅 기술로 주목받는 양자컴퓨팅* 분야의 핵심·기반 기술 개발 및 시스템 실증을 통한 기술경쟁력 강화
 - * 중첩, 얽힘 등 양자역학적 현상을 이용하여 방대한 양의 정보를 동시에 처리(병렬 처리)할 수 있도록 설계된 컴퓨팅 기술로 기존 방식보다 월등한 연산속도 보유
- **(기간/사업비)** '19년~'23년 / 445억원 ('20년까지 144억원 既투자, '21년 97억원)

□ 사업 내용

- ① **(핵심원천기술개발)** 초전도소자, 이온·중성원자트랩, 반도체양자점, 광자 등을 이용해 구현한 양자계(물리큐비트) 기반으로 동작하는 양자컴퓨터(HW시스템) 개발·실증(Middle-up, 3+2년 경쟁형 방식)
 - **범용양자컴퓨터*** : 높은 범용성·신뢰도 및 큐비트 확장성을 가지는 5큐비트급 이상의 범용양자컴퓨터 개발 및 성능 실증
 - * 다양한 알고리즘과 응용SW 등의 구동이 가능한 양자컴퓨터
 - **양자시뮬레이터*** : 양자컴퓨팅 기술을 활용해 해결 가능한 실용적 문제를 발굴하여 이에 최적화된 양자시뮬레이터 개발 및 효과 실증
 - * 특정 알고리즘만을 실행하는 양자컴퓨터
- ② **(유망기반기술)** 양자컴퓨터의 구현 및 성능향상 등이 가능한 HW 시스템 요소기술(시스템기술), 알고리즘, SW 등 양자컴퓨팅 요소 기술 개발(3년간 2~3억원 지원, Bottom-up 방식)
 - **시스템기술** : 대규모 HW시스템에서 정보를 효율적으로 호출·처리·저장하기 위한 보조HW, 아키텍처, 시스템SW 등 개발
 - **알고리즘·SW** : 고전시스템 대비 양자이점(Quantum Advantage)을 실현할 수 있는 다양한 양자알고리즘 연구 및 응용SW 개발

□ 지원과제 현황

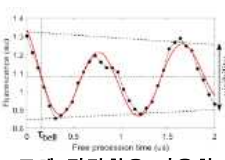
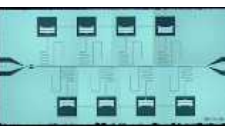
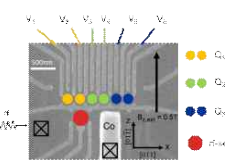
구분	과제 형태	과제명	주관 기관	연구 책임자	총 연구기간	총 연구비	연도별 연구비(백만원)			
							'19	'20	'21(안)	'22(안)
범용양자 컴퓨터 (3)	총괄	고체 접결함을 이용한 확장성 있는 양자컴퓨팅 시스템 개발	한국과학기술연구원	한상욱	'19.10 ~ '22.02 (1단계)*	2,900	900	1,000	1,000	
	총괄	초전도 범용양자컴퓨팅 시스템 핵심 원천 기술 개발	성균관대학교	정연옥		2,900	900	1,000	1,000	
	총괄	반도체 양자점 프로그래머블 양자 컴퓨팅 시스템 개발	서울대학교	김도헌		2,900	900	1,000	1,000	
양자시뮬레이터 (2)	총괄	광자기반 중규모 양자시뮬레이터 및 응용기술 개발	한국과학기술연구원	김용수	'19.10 ~ '22.02 (1단계)**	2,417	750	833.5	833	
	총괄	단일 원자 제어가 가능한 대규모 큐비트 양자 시뮬레이터 개발	한국표준과학연구원	문종철		2,417	750	833.5	833	
시스템 기술 (9)	단위	실리콘 P donor-Nanomagnet 큐비트 기반기술 연구개발	한국전자통신연구원	김종배	'19.10 ~ '22.04	725	225	250	252	
	단위	스핀 큐비트 쌍 기반 결함 허용 양자연산 기술 개발 및 성능 평가	고려대학교	이동현		725	225	250	252	
	단위	리튬원자 큐비트를 이용한 controlled NOT 게이트의 병렬 연산	고려대학교	조동현		725	225	250	252	
	단위	가상 실행을 위한 End-to-End 양자 소프트웨어 스택	서울대학교	이재진		725	225	250	252	
	단위	평면 이온트랩 기반의 양자컴퓨팅 하드웨어의 구현과 벤치마킹	서울대학교	김태현		775	225	250		
	단위	다차원 양자얽힘 큐비트 개발 연구	부산대학교	문한섭		775	225	250		
	단위	광학기반 양자컴퓨팅을 위한 초거대 클러스터 양자얽힘상태 개발	한국과학기술원	라영식		'20.06 ~ '23.02	775	225	250	
	단위	양자점 스핀-광자 상호작용 기반 확정적 양자로직게이트 개발	한국과학기술원	조용훈		775	225	250		
	단위	실리콘 포토닉스 양자 얽힘 논리 회로 기술	한국전자통신연구원	이종무		775	225	250		
알고리즘 및 응용SW (12)	단위	NISQ 기반 양자컴퓨터의 최적화 및 최적화 알고리즘 연구개발	한국과학기술원	배준우	'19.10 ~ '22.04	446	112.5	166.75	167	
	단위	높은 확장성과 지원 효율성을 가진 오류 허용 양자컴퓨팅 연구	서울대학교	정현석		496	162.5	166.75	167	
	단위	멀티큐비트 동시 측정 및 제어를 위한 극저온 환경 대응 집적소자 개발	한국전자통신연구원	조성완		496	162.5	166.75	167	
	단위	QAOA를 이용한 양자 심층 강화 학습 알고리즘 개발	고려대학교	김중현		496	162.5	166.75	167	
	단위	고전적으로 시뮬레이션 하기 어려운 얽은 양자회로 연구	경희대학교	이수준		517		150	167	
	단위	효율적인 양자컴퓨팅을 위한 양자회로 최적화 연구	서울시립대학교	안도열		517		150	167	
	단위	격자 기반 문제에 대한 효율적인 양자 계산 알고리즘	경희대학교	김정산		'20.06 ~ '23.02	517	150	167	
	단위	양자채널용량의 정성적 비운드 결정과 양자알고리즘	서울대학교	정갑균		452	131	146		
	단위	조작분포함수 기반의 양자이점 파벌법	한국과학기술원	류정희		361	105	116		

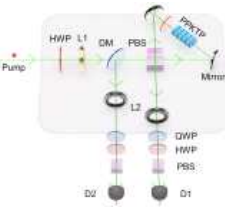
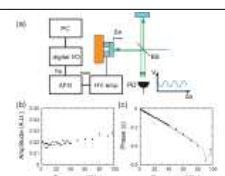
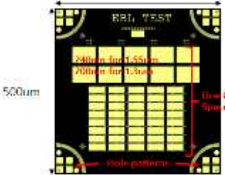
개발 및 활용 연구		기술정보 연구원						
단위	프로그램 가능한 광 도파 회로 내 고 차원 얽힘 상태 발전과 측정	서강대학교	손원민		361	105	116	
단위	NISQ 수준 양자컴퓨터의 오류 완화를 위한 양자제어 이론 연구	고등과학원	이승우		343	100	110	
단위	비대칭 배열로 포획된 리드버그 원자들의 결맞음 제어	서울대학교	장보영		289	84	93	
합계(26과제)				-	25,600	5,700	8,434	8,674

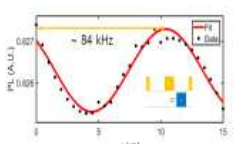
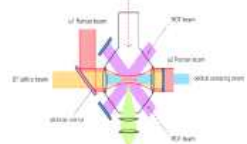
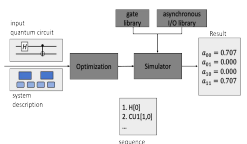
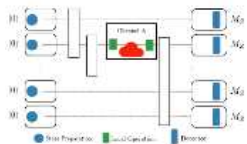
* 경쟁형 과제로 3개 과제 중 1개 과제 2년 추가 지원(7,000백만원)

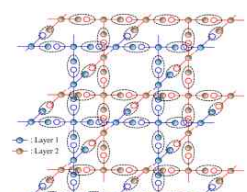

** 경쟁형 과제로 2개 과제 중 1개 과제 2년 추가 지원(3,000백만원)

□ 주요성과(누적)

범용 양자 컴퓨터	 <p>고체 점결함을 이용한 확장성 있는 양자컴퓨팅 시스템 개발 (한상욱 / KIST)</p>	<ul style="list-style-type: none"> 4큐비트 (2개의 전자스핀 2개의 핵스핀) 시스템 양자측정 및 검증 완료 2개의 전자스핀 큐비트 사이 two qubit 양자얽힘 concurrence visibility 0.87 달성 스핀 광자 인터페이스를 위한 고효율 다초점 메타렌즈가 결합된 다이아몬드 NV 센터 개발 새로운 SiC 점결함 발견 및 우수한 광특성 확인 다이아몬드 기반 점결함 주변 spin bath noise 에 의한 제한되는 결맞음 시간 수치 해석 <p>* 스핀 광자 인터페이스 관련 ACS Photonics 에 논문 게재 ('20.9) * 위 논문 이외에 SCI급 논문 총 8편 게재</p>
	 <p>초전도 범용 양자컴퓨터 (정연욱/성균관대)</p>	<ul style="list-style-type: none"> 수십 큐비트급 초전도 소자 공정 확립 및 안정화 on-chip 큐비트 주파수 산포 < 2% 8-큐비트 소자 제작 및 개별 큐비트 작동 시연 모든 8 큐비트에 대해서 안정적 T_2^* ($7.2\mu s < T_2^* < 12\mu s$) Randomized Benchmarking에 의한 8-큐비트 소자의 모든 큐비트 신뢰도 평가 수행 8 큐비트 단일 큐비트 게이트 신뢰도 99.7% - 97.4%
	 <p>반도체 양자점 프로그래머블 양자컴퓨팅 시스템 (김도현 / 서울대)</p>	<ul style="list-style-type: none"> 측정시간 50 us 미만, 신뢰도 99% 이상의 고속 양자상태 싱글-샷 측정법 개발 GaAs 세 개 스핀 큐비트 단일 큐비트 게이트 99% 이상 동작성공 Gaussian particle 필터링을 이용한 실시간 해밀토니안 파라미터 추정법 및 고속 측정기반 양자 피드백 방법 개발 머신러닝을 이용한 전자 스핀/핵스핀 복합계의

양자시뮬레이터	 <p>광자기반 중규모 양자시뮬레이터 및 응용기술 개발 (김용수 / KIST)</p>	<ul style="list-style-type: none"> 단일 스핀 분해능 분석법 개발 고순도 28Si 기판 확보 및 실리콘 스핀 큐비트 소자 1세대 제작완료 양자정보 분야 최고 권위지 NPJ. Quantum Information 6 64 논문 게재 ('20.7) SCI 급 저널 중 Applied Physics Letters 에 논문 출판 중 ('20.11) 양자정보 분야 최고 권위지 NPJ. Quantum Information 논문 출판 중 ('20.11)
	 <p>단일 원자 제어가 가능한 대규모 큐비트 양자시뮬레이터 개발 (문종철 / KRISS)</p>	<ul style="list-style-type: none"> 큐쿼트 기반 분자 전자구조 계산 양자시뮬레이션 기법 및 Quantum Learning-With-Error 알고리즘 설계 단일광자 큐쿼트 생성·제어·검출 기술 개발 효율적인 양자얽힘 상태 생성 및 활용 방법 개발 저손실 집적 양자 광소자 설계·공정·기술 개발 SCI급 저널 중 광학분야 최고 권위의 논문인 Optica에 효율적인 양자얽힘 상태 활용 방법에 대한 논문 게재 ('20. 06) SCI급 저널 중 양자기술분야 최고 권위의 논문인 npj Quantum Information에 양자간섭을 이용한 양자정보 처리에 대한 논문 게재 승인 ('20. 11) 광자기반 양자시뮬레이션 관련 SCI 논문 8건 게재 및 1건 게재 승인 효율적인 양자얽힘 상태 생성 및 활용에 대한 특허 2건 출원
	 <p>실리콘 P donor-Nanomagnet 큐비트 기반기술 연구개발 (김종배 / ETRI)</p>	<ul style="list-style-type: none"> zoom lens방식을 이용한 장거리 원자 수송기술 개발 원자 큐비트 포획용 광격자 위치 제어기술 개발 Axicon을 이용한 ring-wall 포텐셜 제어기술 개발 DMD를 이용한 2차원 포텐셜 제어기술 개발 accordion 광격자 시스템을 이용한 동적 압축 포텐셜 기술 개발 SCI 저널 Physical Review A 2건 (1건 출간, 1건 게재승인) Left, Right barrier, Plunger gate, Top gate 및 마이크로웨이브 안테나 설계 P-donor 단일 큐비트 소자 전극의 테스트를 위한 Ebeam Lithography 공정 라인 선포 10nm, 20nm, 간격 20nm, 30nm, 40nm 50nm를 포함하는 Ebeam 패턴 테스트 선포 10nm급 전극 Ebeam 공정 기술 연구개발 양자컴퓨팅 분야의 국제 학회인 'ICQC 2020 (International Conference on Quantum Computing 2020)'에 실리콘 P

	 <p>스핀 큐비트 쌍 기반 결합 허용 양자연산 기술 개발 및 성능 평가 (이동현 / 고려대)</p>	<p>donor-Nanomagnet 큐비트 기반기술 연구개발 대한 연구 발표</p> <ul style="list-style-type: none"> NV-NV 전자 스핀 쌍 생성 (~ 84 kHz coupling) 최적화된 핵스핀 제어 환경을 위한 고자기장 셋업 14번 질소, 15번 질소, 13번 탄소 등 여러 핵스핀에 대한 스핀 공명 데이터 확보 Dressed state 기술을 이용한 노이즈 경감 및 결맞음 시간 연장 composite pulse 기술을 이용한 게이트 노이즈 경감 <p>* 양자컴퓨팅 국제학술대회 (ICQC 2020) 초청발표(20.8.26~27)</p>
	 <p>리튬원자 큐비트를 이용한 controlled NOT 게이트의 병렬연산 (조동현 / 고려대)</p>	<ul style="list-style-type: none"> 광격자에 포획된 리튬원자의 라만냉각을 위한 레이저 시스템 개발 및 작동 유도라만 분광측정을 통한 리튬원자의 종방향 운동상태 측정 유도라만 분광을 이용한 sideband 냉각실험 광집계 광학계 설계 광집계 구동을 위한 루디움원자 자기광포획장치 구성 Machine learning을 이용한 자기광포획장치 구동의 최적화
	 <p>가상 실행을 위한 End-to-End 양자 소프트웨어 스택 개발 (이재진 / 서울대)</p>	<ul style="list-style-type: none"> 단일 노드에서 35큐비트급 고성능 양자 회로 시뮬레이터 개발 및 성능 분석 메모리 접근 패턴을 고려한 성능 최적화 기술 적용 (memory coalescing) GPU 사용 시 평균 1.7배의 성능 향상을 보임 개발된 시뮬레이터의 경우 다수의 GPU를 지원하며, CPU와 GPU를 동시에 사용할 수 있다는 점에서 최신 기술(QuEST)보다 뛰어남 OpenQASM 파서 및 코드 제네레이터를 개발하여 IBM Qiskit에 대한 인터페이스 확보 QFT, Grover's Search, Quantum teleportation 벤치마크 개발 <p>* 연구개발 결과는 2년차 연구 종료 내에 오픈소스 예정</p>
<p>알고리즘 및 응용</p>	 <p>NISQ기반 양자컴퓨터의 최적화 및 최적화 알고리즘 연구개발 (배준우 / KAIST)</p>	<ul style="list-style-type: none"> 양자 컴퓨팅 측정 최적화 기법 <ul style="list-style-type: none"> 양자 컴퓨팅에서 발생하는 잡음을 효율적으로 완화하는 측정 기법 개발 NISQ 기술에서 발생하는 측정 잡음 완화에 적용 가능 SCI 저널 중 IEEE Journal of Selected Areas on Communications (IF 11.42) 논문 게재 ('20.06) 미국 NASA, 이탈리아 INFN 등 국제공동연구

		<ul style="list-style-type: none"> 양자 얽힘의 효율적 검증 기법 <ul style="list-style-type: none"> 양자 얽힘에서 기존의 알려진 방법의 효율성 2배 향상 SCI 저널 중 npj Quantum Information (IF8.870) 출판 오스트리아 비엔나 대학 양자정보팀과 국제공동연구
<p>W</p>	 <p>높은 확장성과 자원 효율성을 가진 오류허용 양자컴퓨팅 연구 (정현석 / 서울대)</p>	<ul style="list-style-type: none"> 적은 자원으로 빠르고 정확한 오류의 수정이 가능한 양자컴퓨팅 방법을 설계 여러 개의 하이브리드 큐비트들로 이루어진 클러스터 상태라고 불리는 양자 얽힘 상태를 만든 후에 추가적인 게이트 연산 없이 오직 큐비트 측정만을 통해 오류수정을 포함한 범용 양자컴퓨팅을 수행하는 것이 가능함을 증명 광학적 모델에 적용하여 기존에 알려진 모든 방법들보다 양자 오류수정에 요구되는 자원소모량을 획기적으로 줄일 수 있는 동시에 오류수정의 정확도를 끌어올릴 수 있음을 증명 실용적인 양자 컴퓨터 구현을 위해 오류수정의 '자원 과부하'와 '정확도'라는 두 가지 문제를 동시에 개선 <p>* SCI급 저널 중 물리학 분야의 권위지인 Physical Review Letters에 논문 게재 ('20.08)</p>
	 <p>멀티큐비트 동시 측정 및 제어를 위한 극저온 환경 대응 집적소자 개발 (조성완 / KRISS)</p>	<ul style="list-style-type: none"> 극저온 환경에서 동작하기 위한 소자 설계 소자 공정을 위한 저발열 소자용 공정 구축 CMOS 소자의 측정을 위한 측정기반 구축 기가헤르츠 영역의 소자 동작 테스트를 위한 기본 특성 분석 소자 공정의 개선을 위한 소재 개선을 위한 협력연구 진행 (일본 RIKEN, 포항공대) <p>* 양자컴퓨팅 국내 동향 소개를 위한 ICQC2020에서 관련 연구 발표(2020.08.26.)</p>

참고 3 「양자정보과학 연구개발생태계 조성」 개요 및 현황

□ 개요

- (목적) 폭발적 파급 잠재력을 지닌 양자정보과학(QIS)* 분야의 선순환 연구생태계 조성을 통한 글로벌 선도국가 진입 교두보 마련

* Quantum Information Science : 중첩, 얽힘 등 양자역학적 특성을 이용하여 정보를 전송하거나 연산을 수행하는 기술(양자컴퓨팅, 양자암호통신, 양자센서 등)

- (기간/예산) '20~'24년 / 493억원 ('20예산 44억, '21예산안 99억)

□ 사업내용

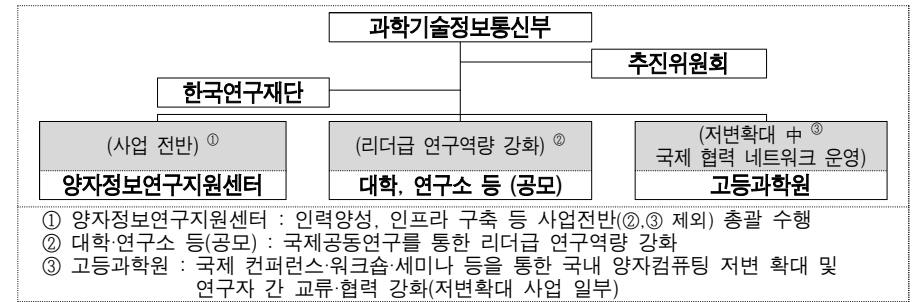
- (인적기반 조성) 우수 인재가 유입되고 고급 인력으로 커 나갈 수 있도록 다양한 맞춤형 프로그램 운영 및 성장경로 구축

- 신진연구인력 양성 : 국내 석·박사, 포스닥 대상으로 미·EU 등 기술선도국에서의 연구 경험 및 전문화된 교육과정 제공
- 리더급 연구역량 강화 : 신규 진입 교수 등을 대상으로 해외 우수 연구소·대학과의 인력교류 중심 공동연구를 통해 미래 연구주제 발굴 및 글로벌 네트워크 구축 등 지원
- 미래인재 유입 촉진 : 초·중·고, 대학(원), 일반인 대상으로 양자정보과학 이해도 제고 및 관심 유도를 위한 맞춤형 교육프로그램 운영
- 저변확대 등 : 양자정보과학 종합정보시스템 구축·운영 및 교육·홍보 콘텐츠 개발·활용, 국제 컨퍼런스 개최 등 추진

- (물적기반 조성) 연구용 양자소자를 손쉽게 확보하고, 양자컴퓨터를 미리 활용해볼 수 있는 인프라 확충 등 연구하기 좋은 환경 구축

- 양자소자 제작 지원 : 양자소자 제작 성능평가에 필요한 표준공정의 개발 장비·소규모 특성평가 테스트베드 등을 구축하고 파운드리 서비스 제공
- 양자클라우드서비스 활용지원 : IBM, 구글, 아마존 등 연구용 양자컴퓨팅 클라우드 서비스의 국내 공동활용체계 구축·운영

< 사업수행체계 >



< 양자정보연구지원센터 >

□ 센터장



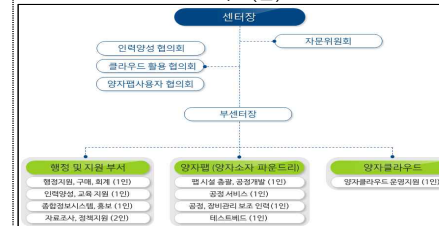
정연욱
('69년생)

- 성균관대학교(나노과학기술원) 교수
- 한국표준과학연구원 책임연구원
- NIST Boulder, 박사후 연구원
- 서울대학교, 물리학 박사('99)

□ 센터 조직 및 인력

- 센터장의 원 소속기관(성균관대)에 내부조직 또는 별도조직 등으로 설치
- 원활한 사업수행을 위해 행정, R&D지원, 정책지원 등과 관련된 부서의 설치 및 인력 운영(10명 내외)
 ※ 필요시 협동·위탁수행기관 및 외부기관 등의 파견인력 운용 가능, 소속직원의 보수에 관한 사항은 해당 인력의 소속기관 규정 적용

< 조직도(안) >



< 연도별 인력계획(안) >

구분	'20	'21	'22	'23	'24
센터장	1	1	1	1	1
부센터장	-	1	1	1	1
정책/행정	3	5	5	5	5
양자랩	-	2	3	3	3
합계	4	9	10	10	10

□ 센터 기능 및 역할

- 리더급 연구역량 강화(과제 별도 공모) 및 국제협력네트워크 운영('19선정 계속과제)을 제외한 사업 전반 수행(과기정통부·연구재단 위임사항 포함)

□ 센터 운영기간

- 3년 운영 후 단계평가를 통한 2년 추가 운영(3+2년)

□ 센터 예산

- '24년까지 약 423억원 지원('20년 36억원)

* '20년 이후 예산은 예산 확보 상황에 따라 변동 가능

< 양자소자 제작 지원 개요 >

□ 사업 개요

- (목적) 기존 반도체 클린룸에서 하기 어려운 양자소자 특화공정을 전용 설비 구축·운영 및 나노패 장비 연계 등을 통해 양자소자 제작 지원
- (규모) '20~'24년 간 약 235억원

□ 사업 내용

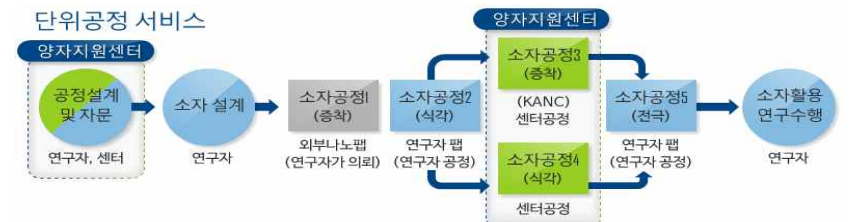
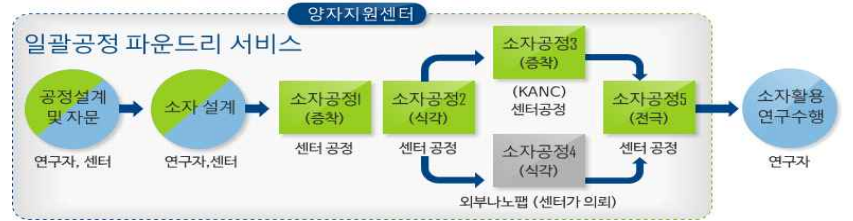
- ① (양자패) 고비용·고사양 장비 및 최상의 공정기술을 보유한 양자전용 팹(파운더리) 구축 및 세계적 수준의 서비스 제공
- 연구용 양자소자 제작·성능평가에 필요한 표준공정의 개발 및 장비, 소규모 특성평가 테스트베드 등 구축(초전도방식 중심)
 - 전담 기술인력을 통한 설계·제작 컨설팅 및 제작·시험평가 대행, 사용자 교육 등 전문 서비스 제공

- 위치 및 규모
 - 한국나노기술원(KANC·성균관대수원) / 1,000㎡
- 주요 장비내역
 - 증착, 노광, 식각, 후처리장치
 - * 초전도 박막증착 스피터, 전극패드 증착용 전자빔 증착기, 광학적 접촉 노광 장비, 대형 패턴 노광을 위한 고속 전자빔 리소그래피 등



- ② (양자소자 제작 연계체계) 이온트랩·점결함 등 방식별 공정을 확립하고, 양자소자 제작 절차가 처음부터 끝까지 상호 연계될 수 있도록 협력체계 구축 및 관련 정보·서비스 제공
- 전국 양자 소자 제작 인프라* 보유 기관 및 관련 주요 공정(증착·패턴·식각) 설비·장비를 목록화하여 관리
 - * 한국나노기술원, 출연(연)(KIST, ETRI, 표준(연)), 서울대(반도체공동연구소), UNIST 등
 - 연구용 양자 소자 제작 수요에 대해 분산된 공정 인프라를 연계하여 제작을 지원하는 매칭 서비스 지원

< 양자소자 제작 지원 예시 >



소자 공정 자문



사용자 직접공정 지원



참고 4 「시스템반도체 융합전문인력 육성」 개요 및 현황

□ 사업 개요

- (목적) AI, 사물인터넷 가전, 바이오 센터 등 유망 新산업 분야의 차세대 시스템반도체 제품 개발 및 시장 선점을 이끌 고급 융합전문인력* 양성

* 소자·회로-시스템, 설계-제작 등 시스템반도체 분야 전반을 깊게 이해(전문성 ↑)하고, AI·IoT·바이오 등 활용 분야 지식을 창의적으로 연계(통섭성 ↑)하는 ‘T자형 인재’

- (기간/사업비) '20년~'26년 / 480억원 ('20년까지 36억원 既투자)

□ (사업내용) 국내 석·박사 대상 시스템반도체 융합교육과정을 개발·지원하는 “시스템반도체 융합전문인력 양성센터” 설치·운영

- AI·바이오·에너지 등 유망분야별로 특화된 5개 센터('20년3개, '21년2개 신설)
- * '20년 선정 센터 및 특화분야 : 서울대(AI), 성균관대(IoT), 포항공대(바이오)

□ 센터 운영 방향

- (운영주체) 시스템반도체 관련 석·박사 배출이 가능한 국내 대학(원)
 - 주관대학이 인근 타 대학, 기업·연구소 등과 컨소시엄 가능
- (인력배출) 연간 석사 20명, 박사 10명 이상 배출
 - 사업기간(6년) 동안 석사 100명, 박사 40명 이상 배출하고, 유사사업 수혜자(산업부 지능형반도체 인력양성), 외국인 등은 참여불가
- (특화분야) AI·반도체·에너지 등 차세대 시스템반도체 유망분야
 - (교육과정) 각 센터별로 특화분야에 맞는 융합교육과정 개발·운영
- (예산집행) 석·박사생 인건비(년평균 참여율) 50%, 교육과정 개발·운영비, 외부강사 활용비, 칩제작비, 신습·연구기자재 구입비 등

□ 지원과제 현황

과제명	주관기관	연구 책임자	총 연구기간	총연구비
인공지능 반도체 융합전문 인력육성 센터	서울대	김수환	'20.4 ~ '25.12 (69개월)	96억원
산학 밀착형 IoT 반도체 시스템 융합 인력육성 센터	성균관대	이강윤		96억원
바이오메디컬 시스템반도체 융합설계 인력육성 센터	포항공대	박홍준		96억원

□ 주요성과

- 센터별 개설 과목 현황

분류	서울대	성균관대	포항공대
반도체 기초	반도체 공정, 반도체 성질 및 소자, 아날로그 집적회로, 디지털 집적회로, 컴퓨터 조직 및 설계, 고급프로래밍 방법론	고체물리학개론, 반도체소자공학, 반도체 공정기술, 아날로그 IC설계, 초고주파공학, 디지털집적회로, Analog/Mixed-Signal 설계, 선형시스템	(경북대) VLSI시스템설계, 생체신호 해석, 화학물반도체, (부산대) RFIC 설계, 초음파신호처리, (KAIST) Biophotonics, 나노바이오전자공학, 디지털집적회로
반도체 심화	반도체 소자 특강, 반도체 미세공정, 반도체 소자잡음, 집적회로 특강, 고급 디지털 집적회로, 임베디드 시스템 설계, 디지털 신호처리 시스템 설계, SoC 설계 자동화, 컴퓨터 및 VLSI 특강	나노소자공학, 반도체소자규명론, 고급반도체 특강, 고급시스템집적회로설계1, 컴퓨터구조설계및응용, SoC구조	반도체공정론, 고급디지털집적회로설계, 생체광학영상원론, 컴퓨터이셔널인텔리전스
융합 심화	음성신호처리, 패턴인식, 기계학습 이론, 컴퓨터비전의 기초, 시스템 소프트웨어 특강, 딥러닝	스위칭 파워서플라이설계	혁신의료기기세미나, 엔지니어를 위한정밀의료개론, 메디컬디바이스디자인프로젝트, VLSI신호처리 최적화
PBL	인공지능 반도체 소자 설계 프로젝트, 인공지능 반도체 회로 설계 프로젝트, 인공지능 시스템 설계 프로젝트	아날로그IC설계	바이오메디컬시스템반도체융합기초설계, 컴퓨터이셔널인텔리전스, 메디컬디바이스디자인프로젝트

- 1차년도 계획대비 인력 선발 현황

(단위: 명)

구분		서울대	성균관대	포항공대
연간계획	석사 과정	20		
	박사 과정	10		
센터별 선발현황 ('20년)	석사 과정	21	32	20
	박사 과정	10	14	19

참고 5 「지능형반도체 신소자 원천기술개발」 개요 및 현황


□ 사업 개요

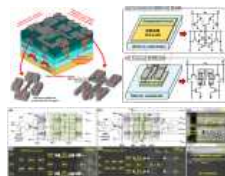
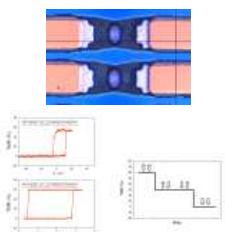
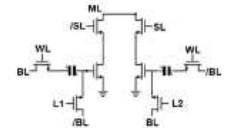
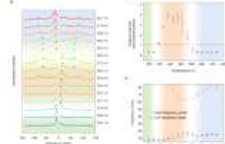
- **(목적)** 초저전력·초고성능이 요구되는 지능형 반도체 글로벌 경쟁력 제고를 위한 혁신적 신소자 원천기술 개발 선도
- **(기간/사업비)** '19년~'21년 / 210억원 ('20년까지 140억원 既투자)

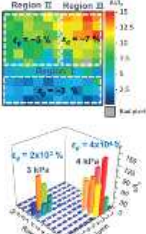
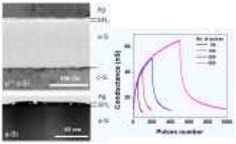
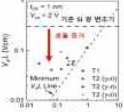
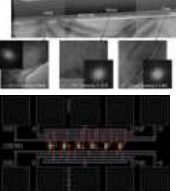
□ 사업 내용

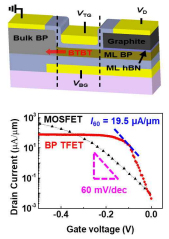
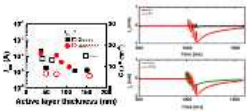
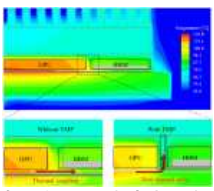
- **(신소자 집적·검증)** 다양한 신소자의 웨이퍼레벨 성능 검증에 공통으로 적용 가능한 단위공정 등 국내 신소자 집적·검증 플랫폼 구축에 필요한 핵심 기술 개발
- **(신소자 핵심 선도기술)** 인간 두뇌 수준의 저전력, 연산능력을 갖는 시스템 반도체 분야 신소자 핵심 요소기술 개발
- **(창의·도전적 신소자)** Si-CMOS 소자기술과 융합하여, 시스템 소모 전력 ↓, 연산효율 ↑ 가능한 신소자 분야의 새로운 아이디어 기술

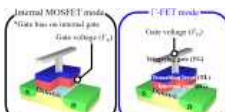
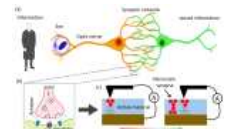
□ 2020년도 주요 연구성과

집적 검증	 <p>반도체 신소자를 위한 집적/검증 플랫폼 기술 개발, (충남대) 이희덕</p>	<ul style="list-style-type: none"> • 대량의 뉴로모픽 소자 데이터 (수십~백만개)를 초고속 (3분 이내)으로 확보 가능한 검증 플랫폼 구축 • 플랫폼을 활용하는 User 입장에서 측정을 간편화 하기 위한 On-Chip Auto Addressing 플랫폼 개발 <ul style="list-style-type: none"> - 설계를 전혀 모르는 비전문가도 쉽게 수십만개 이상의 신소자 데이터를 확보하여 빅데이터(통계적) 분석이 가능하도록 함 • 25만개 소자가 2.8 % 이내의 낮은 오차를 가지는 플랫폼 측정결과 확보 • 지능형반도체 집적이 가능한 다량의 8인치 웨이퍼 (200 매 이상) 확보
--------------	---	---

 <p>에어캡 스마트 배선 기반 고속 저전력 내용 주소화 기억장치 소자 기술개발, (서강대) 최우영</p>	<ul style="list-style-type: none"> • 현재 CMOS 배선 기술에 활발하게 적용되고 있는 에어캡 기술을 활용한 스마트 배선 기술 기반 내용 주소화 기억장치 소자를 개발 • 기존 내용 주소화 기억장치의 한계인 집적도, 용량, 전력 소모, 동작 속도의 한계를 극복하였음 • 논문: SCI(E) 논문 9편 게재(IEEE Electron Device Letters, IEEE Transactions on Electron Devices) • 특허: 국내특허 4건 출원
핵심 선도 기술  <p>스핀-퀘도 결합 소재를 이용한 저전력 스핀로직소자, (KIST) 구현철</p>	<ul style="list-style-type: none"> • 스핀-퀘도 토크 기반의 외부 자기장 없이 구동되는 자화 스위칭을 구현 성공 • 스핀로직에 사용되는 자기터널 접합을 이용한 스핀-퀘도 토크 소자 제작 • 스핀-퀘도 토크에 의한 자화 스위칭을 MTJ (Magnetic Tunnel Junction) 구조 및 TMR (Tunnel Magnetoresistance)를 활용하여 최대 80% 정도의 자기저항비 차이를 달성하는데 성공함 • 상기 스핀-퀘도 토크를 자기 스위칭과 TMR을 이용한 자화 상태 읽기 기술을 토대로 2종 이상의 자화셀을 구성함으로써 로직 동작 구현이 가능해졌음 • 논문: SCI(E)급 3편(Advanced Materials (IF=27.398) Physcis Review Letters (IF=8.385), Applied Physics Letters (IF=3.597)) • 특허: 국내출원 1건, 해외출원 1건
 <p>분극 스위칭이 가능한 유전체 기반 메모리 트랜지스터와 이를 이용한 비 휘발성 로직 아키텍처 검증연구, (KAIST) 전상훈</p>	<ul style="list-style-type: none"> • MFMS 구조의 FeFET에서 MFM에만 전압을 인가하여 쓰기 동작을 수행함으로써, FeFET의 신뢰성을 높임과 동시에 동작 전압을 낮추는 동작 방식을 개발하고 이를 활용한 비휘발성 로직 IP를 설계함 • 또한 SiO₂ 다이폴 스위칭 층을 활용하여, 계면 다이폴 스위칭 메모리 기반의 셀 특성을 확보하였음 (다양한 계면 다이폴 스위칭 소재와 층의 수, 전체 스택의 두께를 최적화, 메모리 윈도우는 최대 7.5V를 얻음) • 논문: SCI(E)급 논문 1편 게재 예정, 1편 제출 예정 • 특허: 국내출원 1건, 국내출원 예정 3건
 <p>비공선 스핀 제어를 통한 가변구조형 논리 소자 개발, (KAIST) 김갑진</p>	<ul style="list-style-type: none"> • 세계 최초로 왼손방향 스핀파를 측정함 • 준강자성체의 모드와 각 보상온도에 따른 스핀파 회전방향 반전을 측정함 • Dzyaloshinskii-Moriya 상호작용에 의한 스핀파 주파수의 발산을 각운동량 보상온도에서 측정함 • 자기장에 따른 모드 교차온도의 증가를 측정하고 그 원인을 밝혀냄 • 주요논문: Nature Materials (IF=38.663)에 게재

 <p>저전력, 고밀도 신개념 두뇌모사 소자 및 아키텍처 기술개발, (DGIST) 이명재</p>	<ul style="list-style-type: none"> 은 나노 와이어와 우레탄파이버를 이용한 고탄성 전도체 및 카본 블랙과 폴리머를 이용한 저항타입 센싱물질의 제작 성공 고탄성 전도체 및 센싱물질을 결합하여 strain, pressure, bending 및 temperature를 인지할 수 있는 복합센서 제작 제작된 복합센서 하나를 통해 각각의 촉각 자극에 대한 개별적인 반응을 확보하였으며 array 제작을 통한 위치별 자극에 대한 감지 성공 기계학습 (machine learning)을 통하여 복합적인 자극이 감지되었을 때, 이들을 각각 분리하여 그 신호의 종류 및 세기를 파악할 수 있음 논문: Advanced Materials (IF=27.398)에 2편 게재
 <p>Sub-pJ 스파이킹 인공 신경망 기술, (KIST) 이수연</p>	<ul style="list-style-type: none"> SiN_x/a-SiGe로 구성된 신규 구조의 아날로그 메모리 소자 개발함 스위칭층/전류제한층의 이중층 구조로 스위칭층에서 다중 전도성 필라멘트가 형성되고, 전류제한층을 통해 전도 모드 천이시 급작스런 전류를 억제하여 아날로그 메모리 특성 구현함 전류제한층의 전도성 제어를 위해 Ge 이온 임플란트 공정을 도입하였고, 이온선량을 조절하여 구조적 결합 유도를 통해 전도도를 제어하여, 아날로그 특성을 향상시키는 효과를 얻었음 다중 전도성 필라멘트 구현을 통해 선형성이 우수한 LTP/LTD 시냅스 특성을 확보함. 이를 기반한 인공신경망을 이용 90% 이상의 MNIST 인식을 확보 가능함 논문: NPG Asia Materials(IF=8.131) 게재 예정 특허: 국내출원 1건
 <p>CMOS 호환 초저전력 이중접합/비휘발 자가재구성 광스위치 기술개발, (KIST) 송진동</p>	<ul style="list-style-type: none"> CMOS 기술에 호환 가능한 강유전체를 이용해 기존의 광 위상 변조의 효율을 올릴 수 있는 방법 제안 광 변조 효율을 올릴 수 있는 물질 및 구조 제시 기존 실리콘을 이용한 광 변조기와 비교해 10배의 효율 달성 가능함을 제시 논문: Journal of Quantum electronics (IF = 2.384) 1편 게재 특허: 국내등록 1건, 미국출원 1건
 <p>벌크 CMOS 기반의 reconfigurable FET 핵심기술 개발, (ETRI) 서동우</p>	<ul style="list-style-type: none"> 벌크 웨이퍼에 형성된 비정질 박막 위에 고품질의 실리콘 에피 성장 기술 개발 성공 Reconfigurable FET (RFET)용 실리사이드 공정 기술 개발 성공 (schottky junction 형성 기술) 비정질 상에 선택적으로 성장된 실리콘 에피층에 3-gate 구조의 RFET 소자 제작 및 동작 구현 성공 (CMOS 동작 성공, 세계 최초) 상기 RFET 소자를 활용한 로직 게이트 제작 (NAND, NOR, XOR) 학술대회: 국제 학술대회(ENGE) 발표 1건 논문: SCI(E)급 논문 1편 투고 예정 특허: 국내외 출원 2건 예정

 <p>단층 2차원 물질 tunnel FET의 개발, (KAIST) 조성재</p>	<ul style="list-style-type: none"> 흑린의 두께에 따라 밴드갭이 변하는 특성을 이용해 이중접합구조 터널 전계 효과 트랜지스터를 구현하여 저전력, 고속 소자를 개발함 터널 트랜지스터의 drain 접합 부분의 tunnel barrier 두께에 따른 차이를 비교하고, 단층 hexagonal boron nitride를 사용하여 작동 전류를 극대화하는데 성공함 Homojunction과 Heterojunction 터널 트랜지스터를 단일 소자내에서 구현 및 비교함으로써, 이중접합구조가 트랜지스터 특성을 향상시킨다는 것을 증명함 논문: Nano Letters(IF=12.344) 게재, ACS Applied Electronic Materials 게재 예정
 <p>뇌모방 소자의 이기종 계층 인터페이스를 위한 유기 시냅스 소자의 전자와 이온 이동 제어 기술 연구, (중앙대) 김선주</p>	<ul style="list-style-type: none"> 유기 및 무기 반도체 박막이 전해질과 접합한 상태에서 이온과 상호 작용하는 현상을 연구함 고분자 화학 구조, 복합소재 조성, 도핑 상태 등에 따른 전해질 기반 박막 트랜지스터의 거동을 연구함 반도체 박막이 화학적/전기화학적/전기적 환경에 따라 광흡수 특성, 전류 점멸 효과, 장/단기 메모리 효과 등이 다르게 나타남을 보임 논문: SCI(E)급 1편 투고, 1편 투고 예정
 <p>대면적/집적화 가능한 complementary SOT-MTJ 구조기반 극저 전력용 단위 셀 reconfigurable 스핀 로직 소자 구현 기술, (한양대) 홍진표</p>	<ul style="list-style-type: none"> 기존의 Domain wall 이동 방식에서 벗어나 topological 적으로 외부 전류에 따른 안정적인 Half skyrmion 및 Stripe domain 거동을 이해하고 이를 바탕으로 MTJ 자유층 제어를 통하여 스핀 로직 소자 제작에 필수적인 연구를 실행하였음 어레이 구조에서 정확한 누설전류 제어를 위해 열적 안정성이 높은 소재 및 물성을 확보한 셀렉터 소자를 연구하였음 논문: Scientific Reports(IF=3.998) 게재, Advanced Quantum Technologies (IF=15, '22년 예측) 게재 예정
<p>인공지능용 차세대 3차원 High Bandwidth Memory (HBM) 패키지 Architecture 개발, (KAIST) 김정호</p>	<ul style="list-style-type: none"> Through Mold Plate (TMP), Thermal Transmission Line (TTL) 구조 등 novel한 내장형 Passive 냉각 구조를 최초로 제안함 제안한 내장형 냉각 구조를 이용하여 PIM-HBM의 die stacking 수를 1.5배 증가시킨 상황에서 열적 안정성을 보장하는데 성공함. 학술대회: 국제학술대회 발표 1건 예정 (2020 IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization)

 <p>초저전력 steep-slope Γ (Gamma)-FET 개발 (KAIST) 최양규</p>	<ul style="list-style-type: none"> • 기존 메커니즘과 다른 급속 전이 메커니즘을 이용하여 steep-slope FET 개발 및 최적화 ($SS < 40$ mV/dec, '단일' slope) • 반도체 소자에서 가장 민감하고 중요한 channel, source /drain junction, gate dielectric 구조를 변경하지 않고, 게이트 상부의 구조 변경만으로 steep-slope FET 개발 • 100% CMOS 표준 공정과 소재를 이용하여 steep-slope FET 개발 • 기존 steep-slope 기술 대비 우수한 문턱 전압 이하 기율기 (최소 $SS < 40$ mV/dec, '단일' slope, 큰 온-전류 ($I_{ON} > 10^5$ A/μm), 작은 오프-전류 (I_{OFF}), 큰 온-오프 전류비 ($I_{ON}/I_{OFF} > 10^9$) 성능 확보 • 논문: SCI(E)급 7편 게재(IEEE Electron Device Letters (IF=4.221)) • 특허: 국내 출원 1건
 <p>Mott 소스-Si 채널 이중접합 구조 기반 Tunneling-FET/MOSFET 가변형 Hybrid-Mott TFET (MTFET) 신소자 개발, (아주대) 서형탁</p>	<ul style="list-style-type: none"> • 생체 신경을 모방한 나노 스케일의 인공 시냅스 소자 구현 및 동작 원리 규명. • Mott 물질인 NiO를 base로 하여 ZnO와의 결합으로 이중 구조 기반 인공 시냅스 소자 제작 • 이중 접합 계면에서 소재의 화학적 특성을 제어, 생체 신경의 이온 신호 전달 방식을 모사 • 전자를 받아들이는 수용체 역할을 하는 계면 결합을 인위적으로 형성했고, 전자의 이동을 외부 자극에 따라 계면 결합에 저장 및 제어하는 방식으로 인체 시냅스의 '장·단기 기억' 방식을 구현 • 논문: Nano Energy(IF=16.602) 1편 게재

참고 6 「차세대 정보컴퓨팅 기술개발」 개요 및 현황

□ 사업 개요

- (목적) 산업적 파급효과가 큰 미래전략 SW 기초·원천기술 개발을 통한 IT 분야의 장기적 국가경쟁력 확보
- (기간/사업비) '11년~'20년 / 953억원

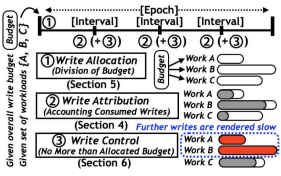
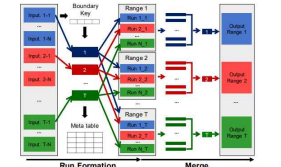
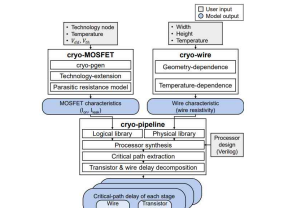
□ 사업 내용

◆ 기존 IT 분야 R&D사업과 차별화하여 시스템SW, SW공학, 정보 및 지능시스템, HCI 등 4대 분야 기반·공통 SW 중점 지원
 ※ 보안SW 분야는 '17년에 정보보호핵심원천기술개발사업으로 이관

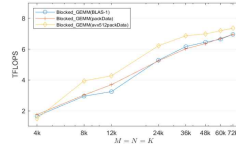
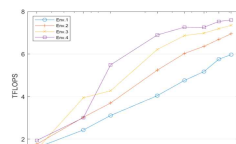
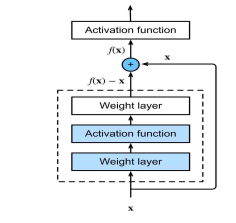
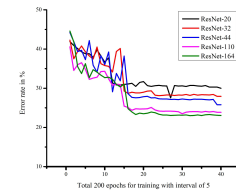
- ① (시스템SW) 초고성능컴퓨팅, 운영체제, I/O가속화, 자율제어 네트워킹 등 다양한 하드웨어·응용프로그램의 동작 및 최적 운영 제어·관리기술 개발
 ※ HW 운영체제 기술, 서버·장치 가상화 기술, 클라우드 컴퓨팅 기술, 분산컴퓨팅 기술, 유비쿼터스컴퓨팅 기술, SOA(Service Oriented Architecture) 기술 등
- ② (SW공학) 고품질 SW 개발 프로세스와 운용·유지보수 효율화를 위한 체계적·정량적 방법론 및 의미기반 상시 모니터링을 위한 SW공학 기법·도구 개발
 ※ SW 개발 연구, SW 지원 연구, SW 프로세스 및 프로젝트 관리기술 등
- ③ (정보 및 지능시스템) 이중 빅데이터의 통합처리 등 정보나 지식의 효율적, 지능적 창출·관리 기술 개발
 ※ 데이터베이스 연구, 정보검색 연구, 지식 탐사·관리 연구, 인지추론 연구 등
- ④ (HCI) 영상·감성 인지, 자연어·음성 처리, 유비쿼터스 인터페이스 등 인간의 의지로 컴퓨터를 활용토록 인간과 컴퓨터를 연결하는 기술 개발
 ※ 영상인식, 영상표현, 자연어 및 음성처리, 햅틱 및 멀티모달 인터페이스, 유비쿼터스 인터페이스 등

□ 2020년도 주요 연구성과

[시스템S/W] 엑사스케일 초고속컴퓨팅 시스템을 위한 시스템 소프트웨어 원천 기술 연구 (염현영/서울대학교)

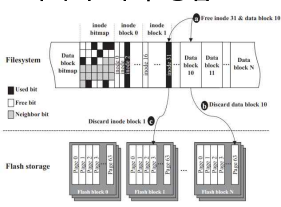
<p>▶ Fair Write Attribution and Allocation for Consolidated Flash Cache</p> 	<ul style="list-style-type: none"> - 플래시 메모리의 수명을 고려하여 쓰기 양을 줄이면서 각 플래시 메모리에 데이터 저장 횟수를 공정하게 할당할 수 있는 기법을 제시함 * 25th International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS'20) 에 발표 ('20.03) (한국연구재단 최우수 학술대회)
<p>▶ Efficient and Scalable External Sort Framework for NVMe SSD</p> 	<ul style="list-style-type: none"> - 멀티코어를 사용하는 초고속컴퓨팅 환경에서 외부의 고성능 저장장치인 NVMe SSD 내부의 병렬성을 최대한 활용한 대용량 데이터의 효율적 정렬 기법을 제시함 * IEEE Transactions on Computers 게재 ('20.11) (SCI 저널, IF: 2.711)
<p>▶ CryoCore: A Fast and Dense Processor Architecture for Cryogenic Computing</p> 	<ul style="list-style-type: none"> - 최근 에너지 절감의 일환으로 각광받는 초저온 데이터 센터를 위한 새로운 프로세서 아키텍처를 제시함 * ACM/IEEE 47th Annual International Symposium on Computer Architecture (ISCA'20) 에 발표 ('20.07) (한국연구재단 최우수 학술대회)

[시스템SW] 멀티코어 및 매니코어 구조의 프로세서를 위한 선형대수 연산 패키지 개발 (최재영/승실대학교)

 <p>SKL의 4-node에서 통신 성능 비교, 노란색이 AVX-512 명령어를 사용</p>  <p>SKL의 4-node에서 행렬 곱셈 성능 비교</p>	<ul style="list-style-type: none"> • AVX-512 명령어를 사용한 행렬 곱셈 루틴의 개발 - 본 연구에서는 Intel KNL 및 SKL과 같은 최신 Intel 컴퓨터에서 AVX-512의 명령어를 사용하여 행렬 곱셈루틴의 성능을 향상시키기 위한 연구 - 먼저 오토튜닝 기법을 사용하여 하드웨어에 최적화된 블록 기반의 GEMM 알고리즘을 개발함. 통신 성능을 향상시키기 위하여 AVX-512의 명령어를 효과적으로 사용함으로써 MPI의 통신 성능을 향상시킴. 결과적으로 SKL 클러스터에서는 작은 크기의 행렬 곱셈을 수행할 때 더 나은 성능을 얻을 수 있었음 * 국제학술대회 「1st International Conference on Autonomic Computing and Self-Organizing Systems (ACSOS 2020)」 발표 ('20.08) * 논문 확장본을 Cluster Computing(SCI)에 제출하여 심사 중
 	<ul style="list-style-type: none"> • 하이퍼 파라미터 최적화 프레임워크 개발 - 응용 연구로서 패턴 및 이미지 인식에 널리 활용되는 deep residual network (일종의 CNN 기법)을 위한 하이퍼 파라미터 최적화 연구를 GPU 상에서 수행 - 이전 연구에서의 데이터 확장 기법을 개선하여 이미지 분류 최적화를 위한 하이퍼 파라미터들의 탐색 작업 시간 복잡도를 크게 낮추어 빠른 시간 내에 최적화를 달성. 이미지 분류 오류율도 크게 낮춤 - CFAR-10, CFAR-100 데이터 셋을 활용한 실험에서 본 연구의 최적화 기법의 효능(계산 시간 및 오류율 향상)을 검증 - 이전 연구에서의 데이터 확장 기법을 개선하여 이미지 분류 최적화를 위한 하이퍼 파라미터들의 탐색 작업 시간 복잡도를 크게 낮추어 빠른 시간 내에 최적화를 달성. 또한 이미지 분류 오류율도 크게 낮춤 - CFAR-10, CFAR-100 데이터 셋을 활용한 실험에서 본 연구의 최적화 기법의 효능(계산 시간 및 오류율 향상)을 검증함 * 국제학술대회 「8th International Workshop on Autonomic Management of high performance Grid and Cloud Computing (AMGCC'20)」 발표 ('20.08) * 논문 확장본을 Cluster Computing(SCI)에 제출하여 심사 중

[시스템SW] 초고성능 컴퓨팅 환경을 위한 고효율 고성능 운영체제 기술 개발 (엄영익 / 성균관대학교)

▶ 플래시 스토리지를 위한 저널링 파일시스템의 데이터 폐기 방법



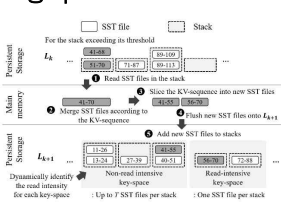
Filesystem: Data block mapping, Discard in block 1, Discard 6 data block 10

Flash storage: Data block 1, Data block 2, Data block 3, Data block 4, Data block 5, Data block 6, Data block 7, Data block 8, Data block 9, Data block 10

- 저널링 파일시스템 Ext4에서의 Discard command 성능 오버헤드 분석
- 플래시 스토리지 시뮬레이터(DiskSim)을 활용한 스토리지 레벨에서의 Discard command 성능 오버헤드 분석
- 파일시스템-스토리지 간 시맨틱 갭으로 인한 성능 저하를 완화하기 위한 데이터 폐기 기법 개발
- 기존 저널링 파일시스템(Ext4)의 데이터 폐기 기법 대비 스토리지 공간 효율성 5.4배 증가

* 국제 특허 등록 (미국, '20.02)

▶ 고성능 키-밸류 스토어를 위한 병합 정책



Persistent Storage: SST file, Stack, Read SST files in the stack, Slice the KV-sequence into new SST files, Add new SST files to stacks

Main memory: Store SST file according to the KV-sequence, Push new SST files onto L_{k+1}

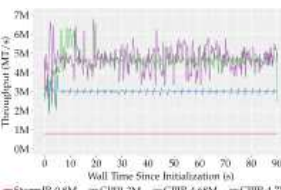
Persistent Storage: Dynamically identify the read intensity for each key-space, Read-intensity key-space, One SST file per stack

- LSM-tree 기반 키-밸류 스토어에서의 쓰기 증폭을 줄이기 위한 병합 정책의 오버헤드 분석
- 키-밸류 스토어 기반 분산시스템 워크로드(예, Facebook)의 데이터 입출력 패턴 분석
- LSM-tree 기반 키-밸류 스토어의 읽기 성능을 보장하기 위한 하이브리드 병합 정책 개발
- 기존 기술 대비 WAF(Write Amplification Factor) 64.58% 감소, Throughput 1.5배 증가

* 국제학술대회 IEEE BigComp 2021에 논문 발표 예정 ('21.01)

[시스템SW] 이중 멀티코어 기반의 클라우드 상에서 프로그래머 생산성 및 퍼포먼스를 위한 엑사스케일 빅 데이터 분석 플랫폼 (박스텔러번트/연세대학교)

▶ 병렬역직렬화: 튜플처리량 최적화




Throughput (MT/s) vs Wall Time Since Initialization (s)

Storm: 0.6M, CPDR: 3M, CPDR: 4.68M, CPDR: 4.7M

- 테스트 대상 시스템 (SUT) 의 최대 튜플 처리량 평가기법 제안
- Storm 스트리밍 플랫폼의 최대 튜플 처리량 평가 : 80만 튜플/초
- 병렬역직렬화는 Cloudprofiler에 추가된 기능 (CPIR) 으로 stream processing engine (SPE) 의 튜플처리부에 결합되어 SPE 의 최대 튜플 처리량을 늘리며 역직렬화로 인한 성능저하를 평가하는 지표를 제공
- CPIR은 3MT/s일때 가장 안정적으로 튜플을 처리하며 초당 튜플처리량 4.68M, 4.7M 으로 늘리면 SUT의 튜플처리가 불안정해짐을 평가하였다.
- JVM메모리부족 시 가비지컬렉터(GC)가 실행되며 이로인해 튜플처리량의 변동폭이 발생한다.

▶ 튜플처리량변동폭분석



Throughput (MT/s) vs Wall Time Since Initialization (s)

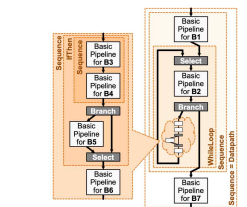
CPDR: 3M

- JVM메모리부족 시 가비지컬렉터(GC)가 실행되며 이로인해 튜플처리량의 변동폭이 발생한다.

* SCI(E)급 저널 Transactions on Cloud Computing - 논문 제출 준비중

[시스템SW] PF급 이중 초고성능컴퓨터 개발 (한환수/(재)초고성능컴퓨팅연구원)

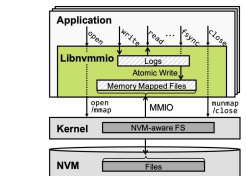
▶ FPGA 가속기를 위한 프로그래밍 모델 연구



Application: Basic Pipeline for B1, Basic Pipeline for B2, Basic Pipeline for B3, Basic Pipeline for B4, Basic Pipeline for B5, Basic Pipeline for B6, Basic Pipeline for B7

- SOFF: An OpenCL High-Level Synthesis Framework for FPGAs
- OpenCL로 작성된 소스코드를 쉽게 고성능의 FPGA로 실행시킬 수 있는 프로그래밍 환경 개발
- * ISCA (BK 우수학술대회 IF=4) ('20.06)

▶ 비휘발성메모리를 위한 파일시스템 및 인덱스 구조



Application: Libnvmio, Logs, Atomic Writes, Memory Mapped Files

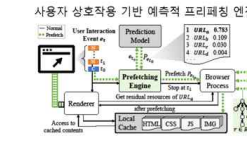
Kernel: NVM-aware FS

NVM: Files

- Libnvmio: Reconstructing Software IO Path with Failure-Atomic Memory-Mapped Interface
- NVDIMM/Optane 메모리를 대상으로 failure-atomic 하면서도 고성능을 가진 사용자수준 파일시스템 개발
- * USENIX ATC (BK 우수학술대회 IF=3) ('20.07)
- Failure-atomic Byte-Addressable R-tree for Persistent Memory
- NVM을 대상으로 failure-atomic하면서 대규모의 다차원 정보를 고성능으로 접근 가능한 R-tree 개발
- * IEEE TPDS (SCI IF=2.6) 논문 게재 ('21.03 예정)

[시스템SW] aSTEAM: 응용 특화된 Web 경험 제공을 위한 발전 가능한 자율 전송 네트워킹 (이원준/고려대학교)

▶ 사용자 상호작용 기반 예측적 Web 프리페칭 기법 개발



사용자 상호작용 기반 예측적 프리페칭 엔진

PLT (ms) vs URLLD

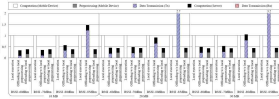
Normalized Perf. Gain for PLT

- 사용자의 Web 경험(quality of experience, QoE) 향상을 위해 응용 탐색 시 발생하는 상호작용 이벤트를 기반으로 다음 응용의 콘텐츠를 선제적으로 요청하는 예측적 프리페칭 기법을 개발
- Web 브라우저에서 발생한 사용자 상호작용 이벤트는 내장된 예측 모델을 통해 대상 응용에 사용되고, 프리페칭 엔진은 응용의 발생 예측 확률과 의존 리소스들 간의 관계를 고려하여 콘텐츠를 서버에 요청하는 방식으로 동작
- 개발된 프리페칭 엔진을 실제 Web 브라우저와 연동하여 실험한 결과, 기존 브라우징 대비 페이지 로드 시간(page load time, PLT)을 18.4% 단축시켰을 뿐만 아니라 다양한 QoE 지표들에 대한 분석을 통해 개발된 기법이 사용자 체감 QoE를 근사하는 speed index(SI)에 대해 20.7%의 성능 향상을 달성하는 것을 확인

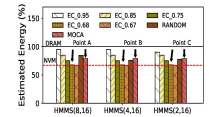
* 「IEEE Communications Letters」 SCI(E)급 국제 학술지에 논문 게재 수락('20.11). (JCR Impact Factor 3.419)

[시스템SW] 차세대 콘텐츠 서비스에 특화된 에너지-최적 이중 클라우드 시스템 SW 개발 (정성우/고려대학교)

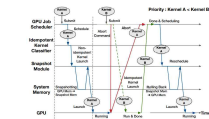
▶ 선택적 엣지 컴퓨팅 기술



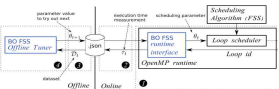
▶ HMMS에서 정적/ 동적 오브젝트 배치 기술



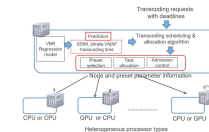
▶ 커널 코드의 명등성을 이용한 GPU 선점 기술



▶ 기계학습 기반 OpenMP 루프 스케줄링 기법



▶ 트랜스코딩 서버 아키텍처



● 선택적 엣지 컴퓨팅 기술 개발

- 모바일 기기의 무선 네트워크 신호를 고려해 서버 및 데이터 센터 영상 처리 작업의 일부를 모바일 기기에서 선택적으로 수행하는 엣지 컴퓨팅 기술 개발
- 시스템 분야의 저명한 SCI 저널인 IEEE Transactions on Computers (IF: 2.711)에 논문 1건 게재

● HMMS에서 정적/ 동적 오브젝트 배치 기술 개발

- 메모리 오브젝트 패턴을 고려해 서로 다른 이기종 메모리에서 성능 최적화 및 에너지 효율성을 높이는 정적/동적 배치 기술 개발
- 시스템 분야의 저명한 SCI 저널인 IEEE Access (IF: 3.745)에 논문 1건 게재 및 IEEE Non-Volatile Memory Systems and Applications Symposium (정보과학회 및 BK 인정 IF:1 학술대회)에 논문 1건 게재

● 커널 코드의 명등성을 이용한 GPU 선점 기술 개발

- GPU 작업 스케줄링을 위하여 GPU 커널 코드의 명등성(idempotence)을 정적 분석하여 컨텍스트 저장 및 복구가 불필요한 저비용 GPU 선점 기술 개발

- 시스템 분야의 저명한 SCI 저널인 IEEE Transactions on Computers (IF: 2.711)에 논문 1건 게재

● 기계학습 기반 OpenMP 루프 스케줄링 기법

- 통계적 기계학습 알고리즘인 Bayesian 최적화 기법을 적용한 OpenMP 컴파일러의 Loop 스케줄링 알고리즘을 개발함.

- 병렬분산시스템 분야의 저명한 SCI 저널인 IEEE Transactions on Parallel and Distributed Systems (IF: 2.6)에 논문 1건 게재예정

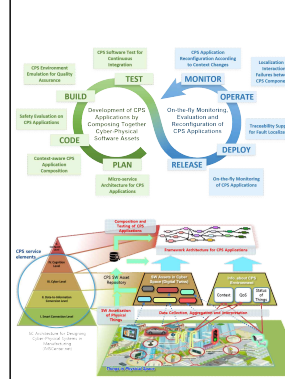
● 비디오 품질 최적화를 위한 태스크 할당 및 스케줄링

- 비디오 품질, 압축율, 트랜스코딩에 소요되는 시간을 예측하고, 이를 기반으로 각 태스크의 데드라인을 만족하면서 비디오 품질을 최대화하는 태스크 할당 및 스케줄링 기법을 구현함

- 해외 (미국) 특허 출원 (Application number: 16943354)

[SW공학] 신뢰적인 지능형 CPS 복합체계 개발 및 On-the-fly 검증 기술 (고인영/한국과학기술원)

▶ DevOps 기반 CPS SW 개발 프레임워크



- 기존 SW 개발 프레임워크로는 CPS의 물리적 특성을 고려하지 못해, 효율적이고 신뢰적인 CPS 어플리케이션을 개발하는 것이 어려움

- CPS 어플리케이션의 사용자 중심적, 환경적 요소를 고려한 개발 및 테스트 프레임워크 기술

- 프레임워크에 포함된 테스트 환경 우선순위 적용 (prioritization), 인지 버그 검출, 효과도 기반 선택 기술의 적용을 통해 CPS SW의 신뢰성을 증진할 수 있음

- * 웹 공학 분야 SCI(E)급 학술지 Journal of Web Engineering에 논문 게재(In-Young Ko, KyeongDeok Baek, Jung-Hyun Kwon, Heman Lira, HyeongCheol Moon, "A Human-centric and Environment-aware Testing Framework for Providing Safe and Reliable Cyber-Physical System Services", Journal of Web Engineering, Vol. 19, No. 2, pp. 139-166, 2020, River Publishers)

[SW공학] 지능형 자동화를 통한 풀스택 SW의 다중언어 검증 및 디버깅 (김문주/KAIST)

▶ 자율주행을 위한 딥러닝 시스템 테스트 효율 향상 등

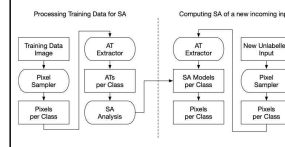


Figure 5: Overall Process of SA Analysis

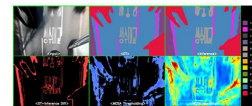


Figure 6: Example frame of video visualisation

- C와 Java 두 가지 언어로 작성한 프로그램의 분석을 위해, C 코드의 의미 요약을 자동으로 추출해내어 Java 코드와 가칭 분석하는 연구 (TOP S급 국제학회 ASE 우수 논문상 수상)

- Lexical 정보를 이용해 다중 언어 프로그램 의존성을 근접 (approximate) 분석하는 기술 개발하여 프로그램 슬라이싱에 적용시 약 2.7배 빠른 속도로 70% 정확도 달성

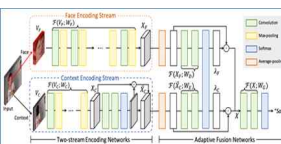
- 기계학습 전용 프로그래밍 언어에서 자동 미분 기법이 올바르게 사용되는지 PAP 함수라는 개념을 도입하여 밝혔고, TOP S급 국제학회인 NeurIPS'20에 Spotlight 논문 발표 (채택율 3.0%)

- 차량에 탑재되는 Deep Neural Network 기반 풀스택 소프트웨어 테스트를 위해 오류 발견 확률이 높은 입력을 선별하는 기술 개발

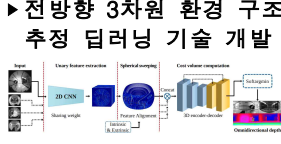
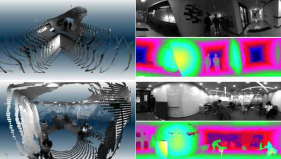
- * ICSE, FSE, ASE, ICML, NeurIPS 등 TOP S급 국제학회 논문 9편 및 SCI(E)급 저널 논문 5편 게재

[정보및지능시스템] 인간 수준의 종합적 비디오 이해를 통한 상황인지 및 예측 원천기술 연구 (임종우/한양대학교)

▶대용량 데이터베이스 획득을 위한 상황인지 요소 자동 레이블링 기술 개발



▶전방향 3차원 환경 구조 추정 딥러닝 기술 개발

- 인간 수준의 종합적 비디오 이해를 위한 비정제 비디오 벤치마크 구축 및 감정 인식 알고리즘 개발
 - 본 과제를 통해 구축된 데이터베이스는 최소 1000 프레임 이상 13,171개 세트의 비정제 비디오를 구성하고 이를 위해 대용량 고품질 학습 데이터를 확보하는 부담을 줄일수 있는 약감독적 (weakly supervised) 방식의 자동 레이블링 알고리즘을 개발함
- * 최상위 SCI(E)급 저널 IEEE Transactions on Pattern Analysis and Machine Intelligence 논문 게재 ('20.02)
- 인간 수준의 종합적 비디오 이해를 위한 비전 모델 기반 공간 상황 인지 원천기술 개발
 - 본 과제를 통해 전방향 영상 센서를 이용한 3차원 구조 추정 딥러닝 네트워크를 개발하고, 실제 환경과 유사한 고품질의 영상 및 3차원 학습 데이터셋을 구축함.
- * 최상위 SCI(E)급 저널 IEEE Transactions on Pattern Analysis and Machine Intelligence 논문 게재 ('20.05)

[정보및지능시스템] 한국어 정보처리 원천 기술 연구 개발 (강승식/국민대학교)

▶딥러닝 언어처리를 위한 한국어 임베딩 기술

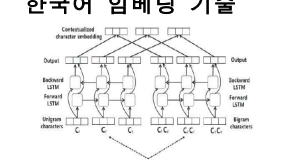


Fig. 2 Contextualized character embedding with bidirectional LSTMs.

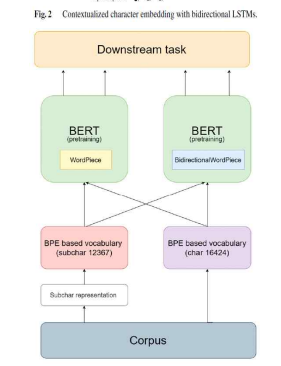


그림 1 KR-BERT 모델의 구조

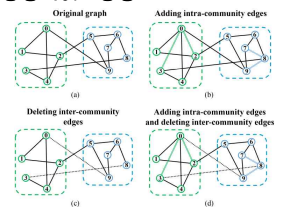
- 한국어 단어 분할에 적합한 단어 경계 및 범위의 고차원 개념의 벡터화를 위한 Multi-Sequence LSTM 모델 개발
- 한국어 등 형태론적으로 복잡한 언어에 대한 임베딩 기법으로 n-gram열을 다수의 LSTM으로 합성하여 한국어 단어 분할에 적합한 문자 임베딩 기법 개발
- 다중 언어 모델인 multilingual BERT의 한국어 처리 성능 향상을 위한 KR-BERT 모델 제안
- 미등록어 등 한국어의 OOV 문제에 강건한 임베딩 기법으로 음절 및 자소 단위의 양방향 WordPiece 토큰화 기법 제안

- * SCI(E)급 저널 - 논문 게재 ('20.11) "Contextualized Character Embedding with Multi-Sequence LSTM for Automatic Word Segmentation"
- * KCI급 저널 - 논문 게재 ('20.07) "소규모 데이터 기반 한국어 버트 모델"
- * SCI(E)급 저널 - 논문 투고 (심사중) "A Time-Efficient Method for Feature Combining with BERT Models for Sentiment Analysis"

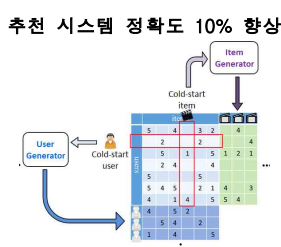
[정보및지능시스템] 인텔리전트 DB를 위한 고성능 자율 기계 학습 플랫폼 (이건명/충북대학교)

▶자율 기계학습 기술 기반 그래프, 매트릭스 분석

커뮤니티 탐색 알고리즘 정확도 향상 10% 향상



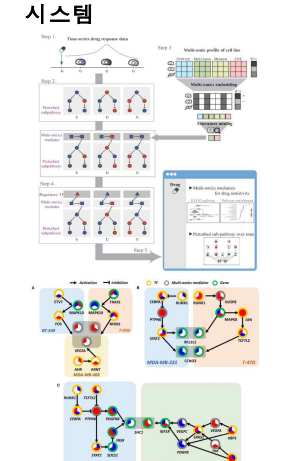
추천 시스템 정확도 10% 향상



- 커뮤니티 탐색 알고리즘 정확도 향상
 - 코드 수정 없이 점진적 강화 학습 기반의 커뮤니티 강화를 통해 커뮤니티 탐색 알고리즘의 정확도 Baseline 대비 **평균 10% 향상**
 - * 「Int'l Conference on Information and Knowledge Management (CIKM)」 게재 ('20.10)
- 추천 시스템 정확도 향상
 - 추천 시스템에서 cold-start problem을 해결하기 위해 Conditional GAN을 이용하여 가상의 이웃을 생성
 - 가상의 이웃을 기반으로 한 추천을 통해 cold-start user에 대한 추천 정확도 향상 및 top-N 추천에서 cold-item 추천 빈도 증가
 - 최신의 추천 정확도 향상 방법들 (Side information, crowd-sourcing, and data imputation)과 비교하여 cold-start user에 대한 추천 정확도 **10% 이상 향상**
 - * 「Conf. on Research and Development in Information Retrieval (SIGIR)」 게재 ('20.07)

[정보및지능시스템] 거대 복잡형 데이터 통합 및 추론 원천기술 개발 (심규석/서울대학교)

▶DRIM: 멀티오믹스 기반 약물 반응성 예측 기반 시스템

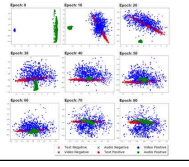
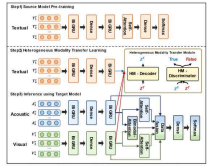


- 멀티오믹스 데이터의 통합 및 네트워크 구축·추론을 통해 약물에 의해 영향을 받는 생물학적 네트워크 발굴
- 약물의 영향으로 시간에 따라 달라지는 생물학적 기작(sub-network) 추출
- 비음수텐서분해 또는 변분 오토인코더를 통해 멀티오믹스 데이터를 통합하여 잠재변수 추론
- 멀티오믹스 기반 잠재변수를 통해 약물반응성에 영향을 주는 조절 유전자 발굴
- 추출된 생물학적 기작과 조절 유전자를 통합한 약물 반응성 해석을 위한 생물학적 네트워크 구축
- 웹기반 시스템 개발을 통한 사용자 편의성을 높임

- * SCI(E)급 저널 Frontiers in Genetics - 논문 게재 ('20.11)

[정보및지능시스템] 이종 빅데이터 통합 분석 메타러닝 기술개발
(김준태/동국대학교)

▶ HMTL: Heterogeneous Modality Transfer Learning for Audio-visual Sentiment Analysis



- 비디오(음성-영상-텍스트)를 대상으로한 감성 분석을 위하여 텍스트를 소스 모달리티로 하여 지식을 전이하는 이종 모달리티 전이학습(Heterogeneous Modality Transfer Learning, HMTL) 방법을 개발
- 디코더와 적대적 학습을 적용하여 소스와 타겟 사이에 임베딩 공간에서의 차이를 줄임으로서 비디오만을 이용한 감성분석의 성능을 향상시킴
- 2199개의 utterance로 구성된 CMU_MOSI dataset과, 302개의 비디오 대화 녹화영상으로 구성된 IEMOCAP dataset을 대상으로한 실험에서 각각 65.3%, 52.6%의 정확도를 달성
- * 「IEEE Access」 게재 ('20.08)

[정보및지능시스템] Thinking Machine: 다중 감각간 관계 지식을 활용한 통합 사고 신경망 연구 (곽노준/서울대학교)

▶ 비디오에서의 질의응답
(Self-supervised Pre-training and Contrastive Representation Learning for Multiple-choice Video QA, AAAI 2020)



- 비디오와 자연어 두 가지 모달리티를 함께 사용하여 질의응답 시스템을 구축
- 비디오 질의응답 (Video QA) 문제란, 자연어로 질의와 답의 후보군이 주어질 때, 비디오의 문맥을 읽고 이해하여, 답의 후보군 중 주어진 질의에 맞는 정답을 찾는 문제임
- 기존의 비디오 질의응답 연구에서는 비디오의 모달리티와 자연어의 모달리티를 어떻게 하나의 모달리티로 구축하여 딥러닝 기반의 모델로 하여금 이해시킬 것인지에 초점이 맞춰져 있었다면, 해당 논문에서는 모델 학습 과정에서 모델에 추가적인 과제를 주어 주어진 (한정된) 데이터 셋을 통해, 추가적인 정보를 학습할 수 있도록 함. 이때 추가적인 과제는 supervised contrastive learning과 self-supervised pre-training 방식이 사용됨
- 대표적인 비디오 질의응답 데이터 셋 TVQA, TVQA+의 테스트 셋에서 76.15, 76.21 점을 기록, 이는 이전의 state-of-the-art 모델의 성능인 74.09, 74.83 점에 비해 상당히 향상된 점수임
- * SCI(E)급 저널 AAAI2020 논문 게재 확정 ('21.02 발표예정)

[HCI] 초실감 원격가상 인터랙션 기술 개발 (한정현/고려대학교)

▶ 사용자 복원 및 원격 인터랙션, 협업 기술 개발



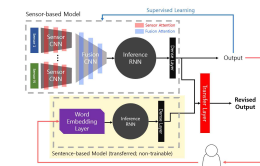
- 사용자 복원 기술 개발 및 원격 협업 실재감 평가
- RGB-D 영상을 이용해 깊이맵을 생성하고, 다양한 센서를 융합하여 사용자의 3차원 외양과 동작을 사실적으로 실시간 복원하는 기술 개발
- 초실감 원격가상 인터랙션에 중요한 요소인 사회적 실재감을 분석하기 위해 증강현실 시스템을 구축하고 매핑 아바타의 형태에 따른 사용자 반응 연구 수행
- HMD 기반의 원격 협업 시스템을 개발하고, 원격 혼합 현실 환경에서 사용자 인터랙션 사이에 발생하는 문제점과 co-presence를 분석하는 연구 수행
- 원활한 인터랙션을 지원하고 강건한 사용자 추적을 위해 손 자세별 근각각 강도를 기반으로 한 원격 협업 시나리오에서의 손동작 및 힘 시각화 시스템 개발
- * 컴퓨터그래픽스/컴퓨터비전/VR/HCI 분야 우수 학술대회 및 SCI(E)급 학술지에 연구결과 다수 발표 (ECCV, ISMAR, IEEE VR, TVCG, CGF, The Visual Computer)

[HCI] SuggestBot: 컨텍스트 기반 스마트 인터랙션 원천 기술 개발
(이기혁 / 한국과학기술원)

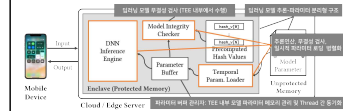
▶ 인간-기계 협업 컨텍스트 레이블링 플랫폼



▶ 멀티 모달 시계열 데이터 및 사용자 입력 기반 감정 및 의도 인식 모델



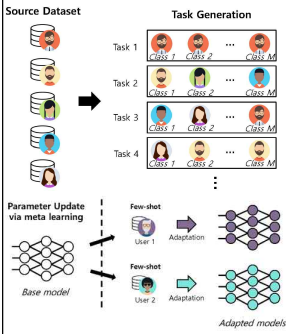
▶ 프라이버시 보장형 클라우드 고도화



- 스마트폰 센서 및 웨어러블 기기 센서 데이터 수집 통합 SW 개발 및 이를 활용한 사용자 컨텍스트 데이터셋 구축
- 인간-기계 협업을 활용한 컨텍스트 레이블링 플랫폼 개발
- 센서 기반의 데이터와 사용자의 명시적인 피드백 문장 입력을 동시에 고려한 감정 및 의도 인식 모델 개발
- 컨텍스트에 기반한 태그 랭킹 및 추천을 수행할 수 있는 모델 개발
- 일반적인 연구 운동들과 차별화된 유발된 이항 운동을 시선 입력 제스처로 활용하는 상호작용 개발
- 가변 성능 모델 기반 동시 다수적 딥러닝 처리의 핵심 모듈 개발 및 프라이버시 보장형 클라우드의 데이터 안정성 모듈의 설계 및 가속화
- * CHI'20 학술대회 2건, Ubicomp'20 학술대회 1건, UIST'20 학술대회 1건, EMNLP'20 학술대회 1건, Scientific Data 저널 1건 게재
- * 국내 특허 4건, 해외 특허 2건 출원

[HCI] 긍정 컴퓨팅을 위한 설득적 인터랙션 디자인 방법론 및 SW 원천 기술 개발 (이의진 / 한국과학기술원)

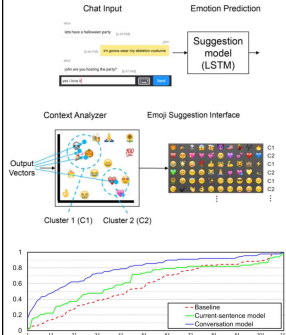
▶ 학습되지 않은 환경에서 스스로 학습하는 모바일 센싱 기술 개발



- 학습되지 않은 환경에 적은 양의 데이터로 스스로 적응하는 모바일 센싱 학습 기술인 메타센스(MetaSense)를 개발
- 모바일 센싱을 활용한 다양한 긍정 컴퓨팅 응용 서비스 제공 가능 할 것으로 기대(예: 우울증 진단, 수면질 측정, 운동 자세 관리 등)
- 학습되지 않은 환경에서 적은 양의 데이터 (최소 1-2 샘플)만 가지고 적응할 수 있는 '메타러닝 프레임워크'를 제시 메타러닝 (meta learning) 이란 적은 양의 데이터를 가지고도 새로운 지식을 학습할 수 있도록 하는 기계학습 원리
- 연구팀이 제시한 디바이스/사용자 다양성 기반 기술은 최신 전이학습 (transfer learning) 기술과 비교하여 18%, 일반 메타러닝 기술과 비교하여 15%의 정확도 성능향상을 보임

* 전산학 최우수 학회 - 논문 게재 ('19.11)

▶ 딥러닝 기반 이모티콘 자동 추천 기술 개발



- 일반적인 채팅 사용자 인터페이스의 경우 사용자 스스로 이모티콘을 선택하여 삽입을 해야 하는 번거로움이 있음
- 현재 대화 데이터에 대한 컨텍스트를 자동으로 분석하여 이모티콘을 자동으로 추천하는 기술을 개발함. LSTM 기반의 시퀀스 모델을 활용하여 컨텍스트 벡터를 맵핑 대화 문맥에 최적화된 이모티콘을 추천하는 것이 핵심 기술임
- 사용자 실험결과 제안한 시스템이 기본 시스템과 비교하면 상황에 맞는 이모티콘 추천으로 상호작용 속도가 38% 향상하였으며 이모티콘 사용 빈도 또한 36% 향상되었음

* SIC급 저널 1편 게재 - 논문 게재 ('20.4)

□ 주요 정량 성과(누적)

구 분	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	계	
SCI	국내	0	1	3	3	1	0	3	1	2	0	14
	국외	9	29	44	73	64	65	57	83	97	33	554
	상위 20%	2	11	21	23	27	10	12	25	24	6	181
	계	9	30	47	76	65	65	60	84	99	33	568
비 SCI	국내	13	21	29	56	35	37	31	45	36	12	315
	국외	8	10	26	28	16	14	5	33	25	1	166
	계	21	31	55	84	51	51	36	78	61	13	481
학술 대회 발표	국내	42	108	146	122	121	85	72	177	94	41	1,008
	국외	61	91	102	110	102	119	67	183	159	30	1,024
	계	103	199	248	232	223	204	139	360	253	71	2,032
특허 출원	국내	31	27	39	48	23	38	36	73	68	34	417
	국외	1	3	5	13	8	8	4	2	6	3	53
	계	32	30	44	61	31	46	40	75	74	37	470
특허 등록	국내	7	20	6	27	16	18	14	6	20	23	157
	국외	1	5	0	1	1	6	2	1	2	3	22
	계	8	25	6	28	17	24	16	7	22	26	179
인력 양성	석사	29	50	51	68	67	58	79	108	78	50	638
	박사	8	7	16	19	9	15	22	38	31	10	175
	계	37	57	67	87	76	73	101	146	109	60	813
기술실시 계약	3	3	5	6	6	10	5	13	2	2	55	
계	3	3	5	6	6	10	5	13	2	2	55	

* 상위 20%는 2020년의 경우 2019 JCR 적용

** 2020.12.15일자 성과등록일 기준 한국연구재단 연구성과관리시스템 데이터 적용

□ 지원과제 현황(누적)

내역 사업	과제명	주관기관	연구 책임자	연구기간	'10	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	계	
시스템 SW	Super Mobile 구현을 위한 시스템 SW 원천기술 연구	성균관대	염영익	'10.07~'15.06	2,000	2,000	1,800	1,800	1,800	-	-	-	-	-	-	9,400	
	엑사스케일 초고속컴퓨팅 시스템을 위한 시스템 소프트웨어 원천기술 연구	서울대	염현영	'15.11~'21.04	-	-	-	-	-	900	900	750	595	595	475	4,215	
	멀티코어 및 메모리 구조의 프로세서를 위한 선형대수 연산 패키지 개발	충실대	최재영	'15.11~'21.2	-	-	-	-	-	300	300	250	200	200	158	1,408	
	초고성능 컴퓨팅 환경을 위한 고효율 고신뢰 운영체제 기술 개발	성균관대	염영익	'15.11~'20.10	-	-	-	-	-	300	300	250	200	200	158	1,408	
	이중 멀티코어 기반의 클라우드 상에서 프로그래머 생산성 및 퍼포먼스를 위한 엑사스케일 빅 데이터 분석 플랫폼	연세대	백스텔러버트	'15.11~'20.10	-	-	-	-	-	300	300	250	200	200	158	1,408	
	차세대 콘텐츠 서비스에 특화된 에너지-최적 이중 클라우드 시스템 SW 개발	고려대	정성우	'17.11~'21.3	-	-	-	-	-	-	-	-	95.67	608	577.6	738	2019.27
	GPU기반의 기계 학습 플랫폼을 위한 시스템 SW 연구	KAIST	허재혁	'17.11~'18.02	-	-	-	-	-	-	-	-	95.67	-	-	-	95.67
	고가용성 및 저전력을 지원하는 모바일 엣지 클라우드 운용 시스템 SW 개발	고려대	유현창	'17.11~'18.02	-	-	-	-	-	-	-	-	95.67	-	-	-	95.67
	aSTEAM : 응용 특화된 Web 경험 제공을 위한 발전 가능한 자율전송 네트워크	고려대	이원준	'17.11~'20.12	-	-	-	-	-	-	-	-	110	608	577.6	738	2,033.6
	차세대 자율제어 데이터센터에서의 성능 최적화를 위한 동적 자원관리 기술 연구 개발	서울대	염현상	'17.11~'18.02	-	-	-	-	-	-	-	-	110	-	-	-	110
	PF급 이중 초고성능컴퓨터 개발	(재)초고성능컴퓨팅연구단	한환수	'16.11~'21.6	-	-	-	-	-	-	-	2,675	2,973	2,670	2,670	3,449	14,437
소 계					2,000	2,000	1,800	1,800	1,800	1,800	4,475	4,960	5,081	5,020	5,874	36,630	
					1과제	1과제	1과제	1과제	1과제	4과제	5과제	10과제	7과제	7과제	7과제	11과제	

내역 사업	과제명	주관기관	연구 책임자	연구기간	'10	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	계
정보 관리	미래 복합 컴퓨팅을 위한 다차원 경로 공격 대응 및 프라이버시 향상을 위한 SW 원천기술 개발	건국대	김성열	'11.08~'16.06	-	1,000	1,000	1,300	1,300	1,300	-	-	-	-	-	5,900
	미래 컴퓨팅 환경을 위한 암호화 기반 SW의 안전성 분석 및 대응기술 연구	충남대	류재철	'14.07~'19.06	-	-	-	-	1,000	1,000	1,000	이관	-	-	-	3,000
	함수암호 원천기술 연구	고려대	이동훈	'16.11~'21.7	-	-	-	-	-	-	675	이관	-	-	-	675
	소 계					-	1,000	1,000	1,300	2,300	2,300	1,675	-	-	-	-
					1과제	1과제	1과제	2과제	2과제	2과제						3과제
SW 공학	집단 지성을 이용한 컴포넌트 기반 동적 자가 적응	고려대	인호	'12.07~'17.06	-	-	1,000	1,000	1,000	1,000	833	-	-	-	-	4,833
	의미기반 상시모니터링을 위한 SW 공학 기법 및 도구 원천기술 개발	성균관대	조영화	'14.07~'19.06	-	-	-	-	1,000	1,000	833	833	663	333	-	4,662
	지능형 자동화를 통한 폴스택SW의 다중언어 검증	KAIST	김문주	'17.09~'21.3	-	-	-	-	-	-	-	250	810	793	791	2,644
	지능형 자동 프로그래밍 기술 연구	한성대	허준영	'17.09~'18.05	-	-	-	-	-	-	-	250	-	-	-	250
	진화하는 지능형 CPS를 위한 On-the-fly 기계학습 기술 및 그에 특화된 실시간/보안 시스템 SW 기술	서울대	이창건	'17.09~'18.05	-	-	-	-	-	-	-	250	-	-	-	250
	신뢰적인 지능형 CPS 복합체 개발 및 On-the-fly 검증기술	KAIST	고인영	'17.09~'20.12	-	-	-	-	-	-	-	250	810	793	791	2,644
	지능형 CPS 개발 및 운용을 위한 스마트 CPS 플랫폼 개발	성균관대	정재훈	'17.09~'18.05	-	-	-	-	-	-	-	250	-	-	-	250
	스마트 생활보조를 위한 단말 내장형 군집지능 SW플랫폼 연구	경북대	강순주	'17.09~'18.05	-	-	-	-	-	-	-	250	-	-	-	250
소 계					-	-	1,000	1,000	2,000	2,000	1,666	2,333	2,283	1,919	1,582	15,783
					1과제	1과제	1과제	2과제	2과제	2과제	7과제	3과제	3과제	3과제	2과제	8과제
정보 및 지능 시스템	빅 데이터 마이닝을 위한 소프트웨어 원천 기술 개발	서울대	심규석	'12.07~'17.06	-	-	1,000	1,000	1,000	1,000	1,000	-	-	-	-	5,000
	인간 수준의 종합적 비디오 이해를 통한 상황인지 및 예측 원천기술 연구	한양대	임종우	'17.09~'20.12	-	-	-	-	-	-	-	750	810	793	791	3,144

내역 사업	과제명	주관기관	연구 책임자	연구기간	'10	'11	'12	'13	'14	'15	'16	'17	'18	'19	'20	계
	한국어 정보처리 원천 기술 연구 개발	국민대	강승식	'17.09~'20.12	-	-	-	-	-	-	-	750	810	793	791	3,144
	인텔리전트 DB를 위한 고성능 자율 기계학습 플랫폼	충북대	이건명	'17.09~'20.12	-	-	-	-	-	-	-	750	810	793	791	3,144
	거대복잡형 데이터통합 및 추론 원천기술 개발	서울대	심규석	'17.09~'20.12	-	-	-	-	-	-	-	750	810	793	791	3,144
	이중 빅데이터 통합 분석 메타러닝 기술개발	동국대	김준태	'17.09~'21.06	-	-	-	-	-	-	-	110	608	577.6	738	2,033.6
	캔서케어 서비스를 위한 이중 빅데이터 통합 및 처리기술 개발	서울대학교 병원	윤형진	'17.11~'18.02	-	-	-	-	-	-	-	110	-	-	-	110
	지식·데이터 융합 초소형 멀티모달 인공지능 원천기술 개발	고려대	이상근	'17.11~'18.02	-	-	-	-	-	-	-	110	-	-	-	110
	Thinking Machine : 다중 감각간 관계 지식을 활용한 통합 사고 신경망 연구	서울대	곽노준	'17.11~'20.12	-	-	-	-	-	-	-	110	608	577.6	738	2,033.6
소 계					-	-	1,000	1,000	1,000	1,000	1,000	3,440	4,456	4,327.2	4,640	21,863
							1과제	1과제	1과제	1과제	1과제	8과제	6과제	6과제	6과제	9과제
HCI	다중 사용자 의도의 능동 인지 및 응답을 위한 MINO HCI SW 원천기술 개발	송실대	홍민철	'12.07~'17.06	-	-	1,000	1,000	1,000	1,000	1,000	-	-	-	-	5,000
	초실감 원격가상 인터랙션 기술 개발	고려대	한정현	'17.09~'20.12	-	-	-	-	-	-	-	750	810	793	791	3,144
	SuggestBot 컨텍스트 기반 스마트 인터랙션 원천기술 개발	KAIST	이기혁	'17.09~'21.03	-	-	-	-	-	-	-	750	810	793	791	3,144
	활동적 노화를 위한 스마트홈 내 설득적 인터랙션 소프트웨어 플랫폼 개발	연세대	지용구	'17.11~'18.02	-	-	-	-	-	-	-	110	-	-	-	110
	긍정 컴퓨팅을 위한 설득적 인터랙션 디자인 방법론 및 SW 원천기술 개발	KAIST	이의진	'17.11~'21.03	-	-	-	-	-	-	-	110	608	577.6	738	2,034.6
	소 계					-	-	1,000	1,000	1,000	1,000	1,000	1,720	2,228	2,163.6	2,320
					-	-	1과제	1과제	1과제	1과제	1과제	4과제	3과제	3과제	3과제	5과제
합 계					2,000	3,000	5,800	6,100	8,100	8,100	9,816	12,473	14,048	13,430	14,416	97,283
					1과제	2과제	5과제	5과제	7과제	10과제	11과제	29과제	19과제	19과제	18과제	36과제